

Stamps
1-30-02

Docket No.: 60188-127

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Nobuyo SUGIYAMA, et al.

Serial No.:

Group Art Unit:

Filed: December 06, 2001

Examiner:

For: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURING
METHOD THEREOF

Jc872 U.S. PTO
10/003434
12/06/01



CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-382233, filed December 15, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty
Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mlw
Date: December 6, 2001
Facsimile: (202) 756-8087

60188-127
Nobuyo SUGIYAMA et al.
December 6, 2001

日本国特許庁

JAPAN PATENT OFFICE

McDevitt, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2000年12月15日

出願番号

Application Number:

特願2000-382233

出願人

Applicant(s):

松下電器産業株式会社

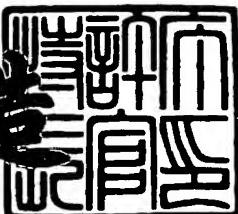
ハイロー エルエスアイ デザイン アンド デバイステク
ノロジー インコーポレイテッド

10/003434
S. P. E.
12/06/01

2001年 9月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3086312

【書類名】 特許願

【整理番号】 2926420041

【提出日】 平成12年12月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/788

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 ▲藤▼原 信代

【発明者】

【住所又は居所】 大阪府豊中市待兼山町1番1号 大阪大学大学院理学研究科数学教室内

【氏名】 小田中 紳二

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 藤本 裕雅

【発明者】

【住所又は居所】 アメリカ合衆国、ニューヨーク州 12590、ワッピングジャーズ フォールス、オールド ホープウェル ロード 140、ハイロー エルエスアイ デザイン アンド デバイス テクノロジー インコーポレイテッド 内

【氏名】 小椋 正氣

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【特許出願人】

【識別番号】 598165507

【氏名又は名称】 ハイロー エルエスアイ デザイン アンド デバイス テクノロジー インコーポレイテッド

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 鳴田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006009

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体領域上に形成され、前記半導体領域から注入されるキャリアを蓄積する浮遊ゲート電極と、

前記浮遊ゲート電極に所定の電圧を印加して蓄積されたキャリアの量を調節する制御ゲート電極と、

前記半導体領域における前記浮遊ゲート電極及び制御ゲート電極の一方の側方に形成されたソース領域及び他方の側方に形成されたドレイン領域とを備え、

前記ドレイン領域は、前記浮遊ゲート電極に注入されるキャリアが前記半導体領域から前記浮遊ゲート電極に向かう方向の成分を持つ外力を受けるように電界を生成することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 半導体領域の上に第1絶縁膜を介して形成された浮遊ゲート電極と、

前記浮遊ゲート電極と第2絶縁膜を介して容量結合された制御ゲート電極と、

前記半導体領域における前記浮遊ゲート電極及び制御ゲート電極の側方に形成されたソース領域及びドレイン領域とを備え、

前記ドレイン領域は、該ドレイン領域における前記ソース領域側の端部が前記半導体領域の表面に達することなく前記ソース領域側に延びてなる埋込みドレン部を有しており、

チャネル領域は、前記半導体領域における前記埋込みドレン部の上方の表面近傍に形成されることを特徴とする不揮発性半導体記憶装置。

【請求項 3】 前記半導体領域における前記埋込みドレン部の上側部分に形成され、前記ドレン領域と反対の導電型を持つ埋込み部上部隣接領域をさらに備えていることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項 4】 前記埋込み部上部隣接領域の不純物濃度は、前記半導体領域の不純物濃度よりも大きいことを特徴とする請求項3に記載の不揮発性半導体記憶装置。

【請求項 5】 前記埋込みドレン部は、前記ドレン領域と反対の導電型

であり、その不純物濃度は前記埋込み部上部隣接領域よりも小さいことを特徴とする請求項3又は4に記載の不揮発性半導体記憶装置。

【請求項6】 前記埋込みドレイン部は、前記ドレイン領域と同一の導電型であり、その不純物濃度は前記ドレイン領域よりも小さいことを特徴とする請求項2～4のうちのいずれか1項に記載の不揮発性半導体記憶装置。

【請求項7】 前記半導体領域における前記埋込みドレイン部の下側部分に形成され、前記ドレイン領域と反対の導電型を持つ埋込み部下部隣接領域をさらに備えていることを特徴とする請求項2～6のうちのいずれか1項に記載の不揮発性半導体記憶装置。

【請求項8】 前記埋込み部下部隣接領域の不純物濃度は、前記半導体領域の不純物濃度よりも大きいことを特徴とする請求項7に記載の不揮発性半導体記憶装置。

【請求項9】 前記半導体領域は段差部を有しており、

前記浮遊ゲート電極は前記段差部を跨ぐように形成され、前記ドレイン領域及び埋込みドレイン部は前記段差部の下段に形成されていることを特徴とする請求項2～8のうちのいずれか1項に記載の不揮発性半導体記憶装置。

【請求項10】 前記制御ゲート電極又は前記ドレイン領域に所定の電圧が印加された場合に、前記チャネル領域における前記浮遊ゲート電極の下側部分に位置するキャリアは、前記半導体領域の表面に垂直な方向に向かう力の成分を電界から受けることを特徴とする請求項2～9のうちのいずれか1項に記載の不揮発性半導体記憶装置。

【請求項11】 前記制御ゲート電極は、前記浮遊ゲート電極上に設けられていることを特徴とする請求項2～10のうちのいずれか1項に記載の不揮発性半導体記憶装置。

【請求項12】 前記制御ゲート電極は、前記半導体領域上で且つ前記浮遊ゲート電極の側方に隣接して設けられていることを特徴とする請求項2～10のうちのいずれか1項に記載の不揮発性半導体記憶装置。

【請求項13】 半導体領域に対して第1の不純物を注入することにより、前記半導体領域の内部に埋込みドレイン部をその上部が前記半導体領域の主面に

達しないように形成する埋込みドレイン部形成工程と、

前記半導体領域の主面上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜上に、互いに容量結合する第1ゲート電極及び第2ゲート電極を、前記第1ゲート電極が前記埋込みドレイン部の上方に位置するように形成するゲート電極形成工程と、

前記第1ゲート電極及び第2ゲート電極をマスクとして前記半導体領域に対して第2の不純物を注入することにより、前記半導体領域における、前記第1ゲート電極及び第2ゲート電極の一方の側方領域にソース領域を形成すると共に、他方の側方領域に前記第1ゲート電極の下側で前記埋込みドレイン部と接するようドレイン領域を形成するソースドレイン形成工程とを備えていることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項14】 前記ゲート電極形成工程よりも前に、前記半導体領域に対して前記第2の不純物と反対の導電型を持つ第3の不純物を選択的に注入することにより、前記半導体領域における前記埋込みドレイン部の形成領域の上側に埋込み部上部隣接領域を形成する工程をさらに備えていることを特徴とする請求項13に記載の不揮発性半導体記憶装置の製造方法。

【請求項15】 前記ゲート電極形成工程よりも前に、前記半導体領域に対して前記第2の不純物と反対の導電型を持つ第3の不純物を選択的に注入することにより、前記半導体領域における前記埋込みドレイン部の形成領域の下側に埋込み部下部隣接領域を形成する工程をさらに備えていることを特徴とする請求項13又は14に記載の不揮発性半導体記憶装置の製造方法。

【請求項16】 前記ゲート電極形成工程は、前記第2ゲート電極を前記第1ゲート電極の上に容量絶縁膜を介して形成する工程を含むことを特徴とする請求項13～15のうちのいずれか1項に記載の不揮発性半導体記憶装置の製造方法。

【請求項17】 前記ゲート電極形成工程は、前記第1ゲート電極を前記第2ゲート電極の側面上に容量絶縁膜を介して形成する工程を含むことを特徴とする請求項13～15のうちのいずれか1項に記載の不揮発性半導体記憶装置の製造方法。

【請求項18】 前記ゲート絶縁膜形成工程よりも前に、前記半導体領域における前記埋込みドレイン部の形成領域の上側に前記ドレイン領域側が下段となる段差部を形成する工程をさらに備えており、

前記ゲート電極形成工程は、前記第1ゲート電極を前記段差部を跨ぐように形成する工程を含むことを特徴とする請求項13～17のうちのいずれか1項に記載の不揮発性半導体記憶装置の製造方法。

【請求項19】 前記埋込みドレイン部形成工程よりも前に、前記半導体領域における前記埋込みドレイン部の形成領域の上側に前記ドレイン領域側が下段となる段差部を形成する工程をさらに備えており、

前記ゲート電極形成工程は、前記第1ゲート電極を前記段差部を跨ぐように形成する工程を含むことを特徴とする請求項13～17のうちのいずれか1項に記載の不揮発性半導体記憶装置の製造方法。

【請求項20】 前記第1の不純物と前記第2の不純物との導電型は同一であり、前記第1の不純物の濃度は前記第2の不純物の濃度よりも小さいことを特徴とする請求項13～19のうちのいずれか1項に記載の不揮発性半導体記憶装置の製造方法。

【請求項21】 前記第1の不純物と前記第2の不純物との導電型は異なつており、

前記第1の不純物の濃度は前記第3の不純物の濃度よりも小さいことを特徴とする請求項13～19のうちのいずれか1項に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低電圧で高速動作が可能な不揮発性半導体記憶装置及びその製造方法に関する。

【0002】

【従来技術】

従来の不揮発性半導体記憶装置について図面を参照しながら説明する。

【0003】

図33は従来の不揮発性半導体記憶装置の模式的な断面構成を示している。図33に示すように、半導体基板201の上に第1絶縁膜202を介して浮遊ゲート電極203が形成され、該浮遊ゲート電極203の上に、第2絶縁膜204を介して制御ゲート電極205が形成され、半導体基板201における浮遊ゲート電極203の側方には、ソース領域206とドレイン領域207とがそれぞれ形成されている。

【0004】

このような構成を持つ不揮発性半導体記憶装置において、データの書き込み時には、正の電位を印加されたドレイン領域207の近傍でホットエレクトロンを発生させ、発生したホットエレクトロンを浮遊ゲート電極203に注入する。このとき、書き込み特性を向上させるには、ソース領域206よりも高い電圧をドレイン領域207に印加することにより、基板面に平行な方向の電界を高くして、ホットエレクトロンの発生効率を高めている。また、浮遊ゲート電極203は電子が走行する方向に平行に設けられているため、浮遊ゲート電極203の下側に形成されるチャネル領域で発生したホットエレクトロンが浮遊ゲート電極203に注入されるには、ホットエレクトロンが散乱を受けて、その移動の方向を変える必要がある。

【0005】

さらに、注入確率を高めるには制御ゲート電極205にも高電圧を印加して浮遊ゲートドレイン間の電位差を高めて、ホットエレクトロンを浮遊ゲート204側へ電気的に引き寄せる必要がある。

【0006】

【発明が解決しようとする課題】

しかしながら、前記従来の不揮発性半導体記憶装置は、ホットエレクトロンの発生効率を高めようとしてドレイン電圧を高くすると、浮遊ゲートドレイン間の電位差が低下してホットエレクトロンの注入効率が低下する。

【0007】

また、制御ゲート電極205に印加する電圧を高くすると、基板面方向の電界

強度が小さくなるため、ホットエレクトロンの発生効率が低下する。

【0008】

従って、制御ゲート電極205又はドレイン領域207に対して高電圧を印加するだけでは、書き込み速度の向上を図ることができないという問題がある。

【0009】

本発明は、ホットキャリアを浮遊ゲート電極に注入する不揮発性半導体記憶装置において、低電圧で高い注入効率を達成できるようにすることを目的とする。

【0010】

【課題を解決するための手段】

前記の目的を達成するため、本発明は、ドレイン領域を、浮遊ゲート電極にキャリアを注入する際に、注入されるキャリアが浮遊ゲート電極へ向かう方向に電界からの外力を受けることができる構成とする。

【0011】

すなわち、本発明に係る第1の不揮発性半導体記憶装置は、半導体領域上に形成され、半導体領域から注入されるキャリアを蓄積する浮遊ゲート電極と、浮遊ゲート電極に所定の電圧を印加して蓄積されたキャリアの量を調節する制御ゲート電極と、半導体領域における浮遊ゲート電極及び制御ゲート電極の一方の側方に形成されたソース領域及び他方の側方に形成されたドレイン領域とを備え、ドレイン領域は、浮遊ゲート電極に注入されるキャリアが半導体領域から浮遊ゲート電極に向かう方向の成分を持つ外力を受けるように電界を生成する。

【0012】

第1の不揮発性半導体記憶装置によると、ドレイン領域は、浮遊ゲート電極に注入されるキャリアが半導体領域から浮遊ゲート電極に向かう方向の成分を持つ外力を受けるように電界を生成するため、書き込み動作時にドレイン領域に対して比較的に低い電圧を印加しても、浮遊ゲート電極の下側付近で生成されるホットキャリアが浮遊ゲート電極に引かれるので、ホットキャリアの注入効率が向上する。

【0013】

より具体的には、本発明に係る第2の不揮発性半導体記憶装置は、半導体領域

の上に第1絶縁膜を介して形成された浮遊ゲート電極と、浮遊ゲート電極と第2絶縁膜を介して容量結合された制御ゲート電極と、半導体領域における浮遊ゲート電極及び制御ゲート電極の側方に形成されたソース領域及びドレイン領域とを備え、ドレイン領域は該ドレイン領域におけるソース領域側の端部が半導体領域の表面に達することなくソース領域側に延びてなる埋込みドレイン部を有しており、チャネル領域は半導体領域における埋込みドレイン部の上方の表面近傍に形成される。

【0014】

第2の不揮発性半導体記憶装置によると、ドレイン領域はそのソース領域側の端部が半導体領域の表面に達することなくソース領域側に延びてなる埋込みドレイン部を有しており、これにより、チャネル領域は半導体領域における埋込みドレイン部の上方の表面近傍に形成される。このため、書き込み動作時に浮遊ゲート電極に注入されるキャリアが半導体領域から浮遊ゲート電極に向かう方向の成分を持つ外力を受けるので、ドレイン領域に対して比較的低い電圧を印加しても、浮遊ゲート電極の下側付近で生成されるホットキャリアが浮遊ゲート電極に引かれるようになり、その結果、ホットキャリアの注入効率が向上する。

【0015】

第2の不揮発性半導体記憶装置は、半導体領域における埋込みドレイン部の上側部分に形成され、ドレイン領域と反対の導電型を持つ埋込み部上部隣接領域をさらに備えていることが好ましい。このようにすると、例えば埋込みドレイン部とドレイン領域との導電型が共にn型の場合には、埋込みドレイン部と埋込み部上部隣接領域とはp-n接合となるため、基板バイアス電圧を印加すると、埋込みドレイン部と埋込み部上部隣接領域との電界強度が増大するので、さらにキャリアの注入効率が向上する。

【0016】

この場合に、埋込み部上部隣接領域の不純物濃度が半導体領域の不純物濃度よりも大きいことが好ましい。

【0017】

または、この場合に、埋込みドレイン部はドレイン領域と反対の導電型であり

、その不純物濃度は埋込み部上部隣接領域よりも小さいことが好ましい。このように、埋込みドレイン部の導電型がドレイン領域と反対の導電型であっても、キャリアの注入効率の向上を図ることができる。

【0018】

第2の不揮発性半導体記憶装置において、埋込みドレイン部はドレイン領域と同一の導電型であり、その不純物濃度はドレイン領域よりも小さいことが好ましい。このようにすると、浮遊ゲート電極と埋込みドレイン部との間で発生するホットキャリアを半導体領域の表面側により多く移動させることができる。

【0019】

第2の不揮発性半導体記憶装置において、半導体領域における埋込みドレイン部の下側部分に形成され、ドレイン領域と反対の導電型を持つ埋込み部下部隣接領域をさらに備えていることが好ましい。このようにすると、基板バイアス効果をより大きくすることができる。

【0020】

この場合に、埋込み部下部隣接領域の不純物濃度が半導体領域の不純物濃度よりも大きいことが好ましい。

【0021】

第2の不揮発性半導体記憶装置において、半導体領域が段差部を有しており、浮遊ゲート電極は段差部を跨ぐように形成され、ドレイン領域及び埋込みドレイン部は段差部の下段に形成されていることが好ましい。このようにすると、制御ゲート電極及びドレイン領域に電圧を印加した場合に、段差部における下段の角部の近傍において電界が集中する。この電界の集中により、チャネル領域のドレイン領域に向かう方向に高電界を得られるので、ホットエレクトロンの発生効率が向上する。

【0022】

第2の不揮発性半導体記憶装置において、制御ゲート電極又はドレイン領域に所定の電圧が印加された場合に、チャネル領域における浮遊ゲート電極の下側部分に位置するキャリアが、半導体領域の表面に垂直な方向に向かう力の成分を電界から受けることが好ましい。

【0023】

第2の不揮発性半導体記憶装置において、制御ゲート電極が浮遊ゲート電極上に設けられていることが好ましい。

【0024】

第2の不揮発性半導体記憶装置において、制御ゲート電極が半導体領域上で且つ浮遊ゲート電極の側方に隣接して設けられていることが好ましい。

【0025】

本発明に係る不揮発性半導体記憶装置の製造方法は、半導体領域に対して第1の不純物を注入することにより、半導体領域の内部に埋込みドレイン部をその上部が半導体領域の正面に達しないように形成する埋込みドレイン部形成工程と、半導体領域の主面上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、ゲート絶縁膜上に、互いに容量結合する第1ゲート電極及び第2ゲート電極を、第1ゲート電極が埋込みドレイン部の上方に位置するように形成するゲート電極形成工程と、第1ゲート電極及び第2ゲート電極をマスクとして半導体領域に対して第2の不純物を注入することにより、半導体領域における、第1ゲート電極及び第2ゲート電極の一方の側方領域にソース領域を形成すると共に、他方の側方領域に第1ゲート電極の下側で埋込みドレイン部と接するようにドレン領域を形成するソースドレン形成工程とを備えている。

【0026】

本発明の不揮発性半導体記憶装置の製造方法によると、半導体領域に対して第1の不純物を注入することにより、半導体領域の内部に埋込みドレイン部をその上部が半導体領域の正面に達しないように形成しておき、その後、第1ゲート電極及び第2ゲート電極の側方領域に第1ゲート電極の下側で埋込みドレイン部と接するようにドレン領域を形成するため、本発明の第2の不揮発性半導体記憶装置を確実に得ることができる。

【0027】

本発明の不揮発性半導体記憶装置の製造方法は、ゲート電極形成工程よりも前に、半導体領域に対して第2の不純物と反対の導電型を持つ第3の不純物を選択的に注入することにより、半導体領域における埋込みドレイン部の形成領域の上

側に埋込み部上部隣接領域を形成する工程をさらに備えていることが好ましい。

【0028】

本発明の不揮発性半導体記憶装置の製造方法は、ゲート電極形成工程よりも前に、半導体領域に対して第2の不純物と反対の導電型を持つ第3の不純物を選択的に注入することにより、半導体領域における埋込みドレイン部の形成領域の下側に埋込み部下部隣接領域を形成する工程をさらに備えていることが好ましい。

【0029】

本発明の不揮発性半導体記憶装置の製造方法において、ゲート電極形成工程が、第2ゲート電極を第1ゲート電極上に容量絶縁膜を介して形成する工程を含むことが好ましい。

【0030】

本発明の不揮発性半導体記憶装置の製造方法において、ゲート電極形成工程が、第1ゲート電極を第2ゲート電極の側面上に容量絶縁膜を介して形成する工程を含むことが好ましい。

【0031】

本発明の不揮発性半導体記憶装置の製造方法において、ゲート絶縁膜形成工程よりも前に、半導体領域における埋込みドレイン部の形成領域の上側にドレイン領域側が下段となる段差部を形成する工程をさらに備えており、ゲート電極形成工程が第1ゲート電極を段差部を跨ぐように形成する工程を含むことが好ましい。

【0032】

本発明の不揮発性半導体記憶装置の製造方法において、埋込みドレイン部形成工程よりも前に、半導体領域における埋込みドレイン部の形成領域の上側にドレイン領域側が下段となる段差部を形成する工程をさらに備えており、ゲート電極形成工程が第1ゲート電極を段差部を跨ぐように形成する工程を含むことが好ましい。

【0033】

本発明の不揮発性半導体記憶装置の製造方法において、第1の不純物と第2の不純物との導電型が同一であり、第1の不純物の濃度は第2の不純物の濃度より

も小さいことを特徴とすることが好ましい。

【0034】

また、本発明の不揮発性半導体記憶装置の製造方法において、第1の不純物と第2の不純物との導電型は異なっており、第1の不純物の濃度は第3の不純物の濃度よりも小さいことが好ましい。

【0035】

【発明の実施の形態】

(第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

【0036】

図1(a)は本発明の第1の実施形態に係る不揮発性半導体記憶装置であって、nチャネルフラッシュEEPROMの断面構成を示している。

【0037】

図1(a)に示すように、例えばp型の半導体基板11の上に第1絶縁膜としてのゲート絶縁膜12を介して浮遊ゲート電極13が形成され、該浮遊ゲート電極13の上に、第2絶縁膜としての容量絶縁膜14を介して制御ゲート電極15が形成されている。半導体基板11における浮遊ゲート電極13の側方には、n型のソース領域16とn型のドレイン領域17とがそれぞれ形成されている。さらに、ドレイン領域17には、ドレイン領域17におけるソース領域16側の端部が半導体基板11の表面に達することなくソース領域16側に延びるように、ドレイン領域17よりも不純物濃度が小さいn型の埋込みドレイン部17aが形成されている。

【0038】

以下、前記のように構成された不揮発性半導体記憶装置の動作を説明する。

【0039】

まず、キャリアを浮遊ゲート電極13に注入する書き込み動作時においては、ドレイン領域17に5V～7V程度の電圧を印加し、制御ゲート電極15に3V～7V程度の電圧を印加し、ソース領域16と基板電位を与える基板電極(図示せず)とに0Vの電圧を印加する。

【0040】

このとき、半導体基板11における埋込みドレイン部17aの上方の表面近傍にチャネル領域11aが形成される。ドレイン領域17の周辺部には空乏層が広がるため、チャネル領域11aは、基板表面に沿ってドレイン領域17側からソース領域16側に電位の降下が起こり、基板面に平行な方向に電界が発生する。この基板面方向の電界によってキャリアを高エネルギー状態にし、高エネルギー状態にされたキャリア（ホットキャリア）を浮遊ゲート電極13に注入する。

【0041】

第1の実施形態においては、図1(b)の半導体基板11における埋込みドレイン部17aとチャネル領域11aとの模式的な拡大図に示すように、埋込みドレイン部17aの上端部が、半導体基板11のチャネル領域11aにおいて基板表面に接していない。このため、ドレイン領域17に印加される電圧（ドレイン電圧）による空乏層の広がりと制御ゲート電極15に印加される電圧（制御ゲート電圧）とによって、基板表面の近傍において等電位線20が基板面と平行な方向に湾曲する。この等電位線の湾曲により、チャネル領域11aにおける基板表面の近傍を流れるキャリア（電子）が基板面に垂直な方向の成分を持つ電界中におかれる。これにより、図1(b)の矢印に示すように、電子は基板面に垂直で且つ上向きの成分を持つ外力を受ける。このとき、矢印の方向には浮遊ゲート電極13が設けられているため、電子の注入効率が向上する。

【0042】

次に、消去動作時には、制御ゲート電極15に-6V~-8V程度の電圧を印加し、ドレイン領域17に7V~10V程度の電圧を印加し、ソース領域16と基板電位を与える基板電極とに0Vの電圧を印加する。このような電圧の印加により、浮遊ゲート電極13に蓄積されていた電子はゲート絶縁膜12を介してドレイン領域17に引き抜かれる。このとき、良く知られているように、浮遊ゲート電極13に蓄積されていた電子は、ファウラーノルドハイム(FN)型トンネル現象によりゲート絶縁膜12を通過する。

【0043】

また、データの読み出し動作時には、制御ゲート電極15に3V~5V程度の

電圧を印加し、ドレイン領域17に2V~4V程度の電圧を印加し、ソース領域16と基板電極とに0Vの電圧を印加する。このとき、浮遊ゲート電極13に蓄積されたキャリアの量によって、読み出し時のしきい値電圧が比較的に高い値と低い値とに変化するため、読み出した電圧値と所定のデータ値とを対応させておけば、読み出した電圧値をデータとして判別できる。

【0044】

以下、浮遊ゲート電極13の下方で且つドレイン領域17のソース領域16側の端部からその上端部が基板面に達することなくソース領域16側に延びるように設けられた埋込みドレイン部17aの効果について、計算機によるシミュレーション結果に基づいて説明する。

【0045】

図2は第1の実施形態に係る不揮発性半導体記憶装置における埋込みドレイン部17a近傍の2次元数値解析法による等電位分布を表わしている。図2に示すように、半導体基板11の表面近傍で且つ埋込みドレイン部17aの上側部分に形成されるチャネル領域11aにおいて、等電位線20が基板面と平行な方向に湾曲していることが分かる。

【0046】

前述したように、チャネル領域11aを流れる電子は、基板面に垂直な方向で且つ上向きの成分を持つ外力を受けると共に、この外力の方向に浮遊ゲート電極13が形成されているため、キャリアの注入効率を向上させることができる。

【0047】

図3(a)は半導体基板11における浮遊ゲート電極13の下方(深さ方向)の1次元電位分布を表わし、図3(b)及び図3(c)は埋込みドレイン部17aと基板表面との間に形成されるチャネル領域11aの基板面方向の電位及び電界分布を表わしている。ここで、図3(a)は図3(d)におけるC-D線方向を横軸とし、図3(b)及び図3(c)は図3(d)におけるA-B線方向を横軸としている。また、図3(b)及び図3(c)における符号17aは埋込みドレイン部17aと対応する上方の領域であることを表わしている。

【0048】

図3 (a) に示すように、基板の表面からある程度の深さ位置までは電位が減少し、その後増大する。これにより、チャネル領域11aはこの電位曲線が極大となる部分に形成される。具体的には、チャネル領域11aが最も安定であるのは基板表面と埋込みドレイン部17aとの間の領域であり、その結果、チャネル領域11aは基板表面の近傍に形成される。また、電子は、電位曲線が深さ方向に対して減少する領域で、基板面に垂直で且つ上向きの力を電界から受ける。このことから、チャネル領域11a中の電子（チャネル電子）がチャネル領域11aで発生する電界から受ける力が基板面に垂直な方向で且つ上向きとなることが分かる。

【0049】

このように、浮遊ゲート電極13の下方の領域、すなわちチャネル領域11aの下側に埋込みドレイン部17aを形成することにより、チャネル電子が浮遊ゲート電極13に向かう成分を含む外力を受けるため、浮遊ゲート電極13への注入効率が向上する。その結果、書き込み速度が向上して書き込み動作の高速化を図ることができる。

【0050】

図3 (b) に示すように、埋込みドレイン部17aの上方に形成されるチャネル領域11aにおいて、ドレイン領域(B)側からソース領域(A)側に向かって電位降下が起きていることが分かる。これにより、チャネル領域11aの広い範囲にわたってホットエレクトロンを発生させることができる。

【0051】

さらに、図3 (c) に示すように、高電界のピーク位置がチャネル領域11aのソース領域(A)側にあるため、発生したホットエレクトロンがドレイン領域17に取り込まれにくくなるので、逆にホットエレクトロンの浮遊ゲート電極13への注入効率が向上する。

【0052】

次に、埋込みドレイン部17aが基板面に達しないように設けられていることによる他の効果を説明する。

【0053】

まず、書き込み動作時に、チャネル領域11aにおける埋込みドレイン部17aの上方部分は、ドレイン領域17側からソース領域16側へ電位降下が生じるため、この部分の電位はドレイン領域17に印加される電圧よりも大幅に低くなる。その結果、電子が高エネルギー状態となるチャネル領域11aの埋込みドレイン部17aの上方部分と浮遊ゲート電極13との電位差が大きくなつて、電子が浮遊ゲート電極13に電気的に引き付けられやすくなるので、電子の浮遊ゲート電極13への注入効率が大きくなる。

【0054】

このように、浮遊ゲート電極13に向かう成分を含む外力をチャネル電子が受けるということと、チャネル領域11aの埋込みドレイン部17aの上方部分と浮遊ゲート電極13との電位差が大きくなるということとから、電子の浮遊ゲート電極13への注入効率が飛躍的に向上するため、制御ゲート電圧の低電圧化を図ったとしても、書き込み動作を高速に行なえる。

【0055】

従来の不揮発性半導体記憶装置は、書き込み動作が進むと、浮遊ゲート電極13に電子が蓄積されることにより、浮遊ゲート電極13の電位が次第に低下していく。このため、電子の注入効率が書き込み動作の初期と比べて低下していく。

【0056】

しかしながら、図4に示す2次元数値解析によるチャネル領域の基板面方向の電界強度の浮遊ゲート電位依存性のグラフから分かるように、第1の実施形態に係る不揮発性半導体記憶装置は、浮遊ゲート電極13の電位が、曲線1に示す低い場合の方が曲線2に示す高い場合と比べて、チャネル領域で発生する基板面方向の電界が大きくなる。

【0057】

このように、第1の実施形態においては、書き込み動作が進み、浮遊ゲート電極13の電位が低下しても、電界強度は逆に大きくなるため、高速な書き込み動作を実現することができる。

【0058】

次に、読み出し動作時の効果について説明する。

【0059】

図1 (a) に示すように、埋込みドレイン部17aの上方にチャネル領域11aが形成されるため、半導体基板11における浮遊ゲート電極13の下側の領域に形成されるチャネル領域11aのゲート長方向の寸法を大きくできる。このため、浮遊ゲート電極13に蓄積された電荷量により、メモリセル自体のしきい値電圧の変化量が大きくなるので、データの読み出し動作を高速且つ確実に行なうことができるようになる。

【0060】

次に、書き込み動作時と消去動作時のそれぞれの特徴について説明する。

【0061】

書き込み動作時には、図3 (c) に示すように、埋込みドレイン部17aの上方で高電界が発生するため、ゲート絶縁膜12における埋込みドレイン部17aの上方を電子が通過する。一方、消去動作時には、図1に示すゲート絶縁膜12におけるドレイン領域17と接する部分、特にドレイン領域17側の端部でFNTンネル電流が発生する。このように、ゲート絶縁膜12において、書き込み動作時の電子の注入位置と、消去動作時の電子の引き抜き位置とが異なるため、ゲート絶縁膜12の劣化が少なくなり、長期信頼性にも優れるようになる。

【0062】

以上説明したように、浮遊ゲート電極13の下方に、その上端部が基板表面に達しない埋込みドレイン部17aを設けることにより、制御ゲート電圧を高電圧化することなく電子の注入効率を向上させることができる。その上、ゲート絶縁膜12の信頼性及び読み出し特性が向上する。

【0063】

なお、第1の実施形態においては、半導体基板11上に順次積層されたゲート絶縁膜12、浮遊ゲート電極13、容量絶縁膜14及び制御ゲート電極15からなる、いわゆるスタックトゲート型のゲート電極構造に限られず、これに代わり、制御ゲート電極と浮遊ゲート電極とがその側面同士で容量絶縁膜を介して隣接する、いわゆるスプリットゲート型のゲート電極構造を有していてもよく、電極の構造には依存しない。

【0064】

また、半導体基板11の材料は、特に限定されないが、シリコン(Si)を用いると良い。また、SOI基板を用いてもよく、さらにその形状は板状に限られず、ソース領域16及びドレイン領域17を形成できるウェルを有する半導体領域を含む部材であればよい。

【0065】

以下、第1の実施形態に係る不揮発性半導体記憶装置の製造方法について説明する。

【0066】

図5(a)～図5(d)は本発明の第1の実施形態に係る不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。

【0067】

まず、図5(a)に示すように、例えばシリコン(Si)からなる半導体基板11の主面上に、熱酸化法又はCVD法等により、半導体基板11の表面を保護する酸化シリコンからなる保護酸化膜21を形成する。その後、半導体基板11に対してしきい値電圧制御用のp型不純物であるホウ素(B)イオンを注入する。

【0068】

次に、図5(b)に示すように、フォトリソグラフィ法により、半導体基板11上にドレイン形成領域を露出する開口部を持つレジストからなるマスクパターン31を形成する。続いて、形成したマスクパターン31を用いて、半導体基板11に対して、注入エネルギーが20keV～50keV程度で、ドーズ量が $1.0 \times 10^{13} \text{ cm}^{-2}$ ～ $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度のn型不純物であるヒ素(As)イオンを注入することにより、その上端部が基板表面から間隔をおくように深い位置に埋込みドレイン部17aを形成する。

【0069】

次に、図5(c)に示すように、マスクパターン31及び保護酸化膜21を除去した後、熱酸化法等により、半導体基板11の主面上に、膜厚が11nm程度の酸化シリコンからなるゲート絶縁膜形成膜12Aを形成する。続いて、減圧C

VD法等により、ゲート絶縁膜形成膜12A上に膜厚が0.1μm程度のポリシリコンからなる第1ゲート電極形成膜13Aを堆積する。さらに、第1ゲート電極形成膜13Aの上に膜厚が13nm程度の酸化シリコン又は窒化シリコン等からなる容量絶縁膜形成膜14Aを形成し、形成した容量絶縁膜形成膜14Aの上に膜厚が0.1μm程度のポリシリコンからなる第2ゲート電極形成膜15Aを堆積する。

【0070】

次に、図5(d)に示すように、第2ゲート電極形成膜15A、容量絶縁膜形成膜14A、第1ゲート電極形成膜13A及びゲート絶縁膜形成膜12Aに対して選択的にパターニングを行なうことにより、第2ゲート電極形成膜15Aから制御ゲート電極15を、容量絶縁膜形成膜14Aから容量絶縁膜14を、第1ゲート電極形成膜13Aから浮遊ゲート電極13を、ゲート絶縁膜形成膜12Aからゲート絶縁膜12をそれぞれ形成する。このとき、浮遊ゲート電極13を埋込みドレイン部17aにおけるソース形成領域側の端部の上方に位置するように形成する。

【0071】

続いて、少なくとも制御ゲート電極15及び浮遊ゲート電極13をマスクとして、半導体基板11に注入エネルギーが50keV程度で、ドーズ量が $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度のヒ素(As)イオンを注入することにより、半導体基板11のソース形成領域にソース領域16を形成すると共に、ドレイン形成領域に浮遊ゲート電極13の下側で埋込みドレイン部17aと接続されるようにドレイン領域17を形成する。

【0072】

このように、第1の実施形態に係る製造方法によると、半導体基板11における浮遊ゲート電極13の下方の領域に所望の不純物プロファイルを持ち且つドレイン領域17と接続された埋込みドレイン部17aを形成することができる。

【0073】

(第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0074】

図6は本発明の第2の実施形態に係る不揮発性半導体記憶装置であって、nチャネルフラッシュEEPROMの断面構成を示している。図6において、図1(a)に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0075】

図6に示すように、第2の実施形態に係る不揮発性半導体記憶装置は、半導体基板11における埋込みドレイン部17aの上側部分に形成されたp型の埋込み部上部隣接領域18Aを有している。埋込み部上部隣接領域18Aのp型不純物濃度は、半導体基板11のp型不純物濃度よりも大きくなるように設定されている。

【0076】

第2の実施形態によると、第1の実施形態と同様の効果を得られる上に、埋込みドレイン部17aの上側に半導体基板11よりも高濃度の埋込み部上部隣接領域18Aを形成することによって、該埋込み部上部隣接領域18Aとドレイン領域17とのpn接合による電位差が大きくなるため、チャネル領域11aにおける埋込みドレイン部17aの上方部分に発生する基板面に平行な方向の電界強度が大きくなる。このため、ホットエレクトロンの発生効率が向上し、書き込み速度が向上する。

【0077】

このとき、半導体基板11に対して負電圧からなる基板バイアス電圧を印加すると、基板電位が下がるため、チャネル領域11aにおける埋込みドレイン部17aの上方部分と浮遊ゲート電極13との電位差が大きくなる。その結果、チャネル電子が浮遊ゲート電極13に電気的に引き付けられやすくなるので、電子の注入効率が向上する。

【0078】

また、埋込みドレイン部17aの上側に設けられる埋込み部上部隣接領域18Aはチャネル領域11aを含むため、埋込み部上部隣接領域18Aの不純物濃度を調整することにより、メモリセルのしきい値電圧の値を所望の値に設定するこ

ともできる。

【0079】

なお、第2の実施形態においても、スタックトゲート型のゲート電極構造に限られず、制御ゲート電極と浮遊ゲート電極とがその側面同士で容量絶縁膜を介して隣接する、いわゆるスプリットゲート型のゲート電極構造を有していてもよく、電極の構造には依存しない。

【0080】

また、半導体基板11の材料は、特に限定されないが、シリコン(Si)を用いると良い。また、SOI基板を用いてもよく、さらにその形状は板状に限られず、ソース領域16及びドレイン領域17を形成できるウェルを有する半導体領域を含む部材であればよい。

【0081】

以下、第2の実施形態に係る不揮発性半導体記憶装置の製造方法について説明する。

【0082】

図7(a)～図7(d)は本発明の第2の実施形態に係る不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。

【0083】

まず、図7(a)に示すように、例えばシリコン(Si)からなる半導体基板11の主面上に、熱酸化法又はCVD法等により、半導体基板11の表面を保護する酸化シリコンからなる保護酸化膜21を形成する。その後、半導体基板11に対してしきい値電圧制御用のp型不純物であるホウ素(B)イオンを注入する。

【0084】

次に、図7(b)に示すように、フォトリソグラフィ法により、半導体基板11上にドレイン形成領域を露出する開口部を持つレジストからなるマスクパターン31を形成する。続いて、形成したマスクパターン31を用いて、半導体基板11に対して、注入エネルギーが10keV～30keV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ～ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のp型不純物であるホウ素(B)

) イオンを注入することにより、基板面の浅い位置に埋込み部上部隣接領域 18 A を形成する。

【0085】

続いて、マスクパターン 31 を用いて半導体基板 11 に対して、注入エネルギーが 20 keV ~ 50 keV 程度で、ドーズ量が $1.0 \times 10^{13} \text{ cm}^{-2}$ ~ $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度の n 型不純物であるヒ素 (As) イオンを注入することにより、その上端部が基板面から深い位置にあって、埋込み部上部隣接領域 18 A と接するように埋込みドレイン部 17a を形成する。

【0086】

次に、図 7 (c) に示すように、マスクパターン 31 及び保護酸化膜 21 を除去した後、熱酸化法等により、半導体基板 11 の主面上に、膜厚が 1.1 nm 程度の酸化シリコンからなるゲート絶縁膜形成膜 12A を形成する。続いて、減圧 CVD 法等により、ゲート絶縁膜形成膜 12A 上に膜厚が 0.1 μm 程度のポリシリコンからなる第 1 ゲート電極形成膜 13A を堆積する。さらに、第 1 ゲート電極形成膜 13A の上に膜厚が 1.3 nm 程度の酸化シリコン又は窒化シリコン等からなる容量絶縁膜形成膜 14A を形成し、形成した容量絶縁膜形成膜 14A の上に膜厚が 0.1 μm 程度のポリシリコンからなる第 2 ゲート電極形成膜 15A を堆積する。

【0087】

次に、図 7 (d) に示すように、第 2 ゲート電極形成膜 15A、容量絶縁膜形成膜 14A、第 1 ゲート電極形成膜 13A 及びゲート絶縁膜形成膜 12A に対して選択的にパターニングを行なうことにより、第 2 ゲート電極形成膜 15A から制御ゲート電極 15 を、容量絶縁膜形成膜 14A から容量絶縁膜 14 を、第 1 ゲート電極形成膜 13A から浮遊ゲート電極 13 を、ゲート絶縁膜形成膜 12A からゲート絶縁膜 12 をそれぞれ形成する。このとき、浮遊ゲート電極 13 を埋込みドレイン部 17a におけるソース形成領域側の端部の上方に位置するように形成する。

【0088】

続いて、少なくとも制御ゲート電極 15 及び浮遊ゲート電極 13 をマスクとし

て、半導体基板11に注入エネルギーが50keV程度で、ドーザ量が $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度のヒ素(A s)イオンを注入することにより、半導体基板11のソース形成領域にソース領域16を形成すると共に、ドレイン形成領域に浮遊ゲート電極13の下側で埋込みドレイン部17aと接続されるようにドレイン領域17を形成する。

【0089】

このように、第2の実施形態に係る製造方法によると、半導体基板11における浮遊ゲート電極13の下方の領域に所望の不純物プロファイルを持ち且つドレイン領域17と接続された埋込みドレイン部17aを形成できると共に、該埋込みドレイン部17aの上側に埋込み部上部隣接領域18Aを形成することができる。

【0090】

なお、本実施形態においては、埋込み部上部隣接領域18Aを埋込みドレイン部17aよりも先に形成したが、これらの形成順序は問われない。

【0091】

(第3の実施形態)

以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0092】

図8は本発明の第3の実施形態に係る不揮発性半導体記憶装置であって、nチャネルフラッシュEEPROMの断面構成を示している。図8において、図6に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0093】

図8に示すように、第3の実施形態に係る不揮発性半導体記憶装置は、半導体基板11における埋込みドレイン部17aの上側に形成されたp型の埋込み部上部隣接領域18Aと、埋込みドレイン部17aの下側部分に形成されたp型の埋込み部下部隣接領域18Bとを有している。ここで、埋込み部下部隣接領域18Bのp型不純物濃度は、半導体基板11のp型不純物濃度よりも大きくなるよう設定されている。

【0094】

第3の実施形態によると、第2の実施形態と同様の効果を得られる上に、半導体基板11に基板バイアス電圧を印加した際に、ホットエレクトロンの発生効率を飛躍的に高めることができる。

【0095】

図9は書き込み動作時のチャネル領域11aにおける埋込みドレイン部17aの上方部分に生じる電界のうち基板面に平行な方向の電界強度の計算機によるシミュレーション結果を示し、符号17aは埋込みドレイン部17aと対応する上方の領域であることを示している。ここでは、基板バイアス電圧V_{sub}として-2Vを印加した場合と、接地電位である0Vを印加した場合とを示している。図9に示すように、埋込みドレイン部17aの上側に埋込み部上部隣接領域18Aを設け、且つ、埋込みドレイン部17aの下側に埋込み部下部隣接領域18Bを設けると、基板に負のバイアス電圧を印加した場合に、チャネル領域11aの埋込みドレイン部17aの上方部分に発生する基板面に平行な方向の電界強度が接地電位の場合よりも大きくなる。これにより、チャネル領域11aにおいて、ホットエレクトロンの発生効率がより一層向上するため、書き込み動作が高速となる。

【0096】

前述したように、負の基板バイアス電圧を印加すると、埋込み部上部隣接領域18Aとドレイン領域17とからなるpn接合による電位差が拡大し、その結果、チャネル領域11aにおける埋込みドレイン部17aの上方部分に高電界が発生する。

【0097】

また、埋込みドレイン部17aの下側に埋込み部下部隣接領域18Bを設けることによって、半導体基板11と埋込み部上部隣接領域18Aとの電気的な接続が強まり、基板電位が埋込み部上部隣接領域18Aに及びやすくなる。

【0098】

第3の実施形態によると、ドレイン電圧を高電圧化することなく、半導体基板11に負の基板バイアス電圧を印加することによって、ホットエレクトロンの発

生効率が飛躍的に向上し、且つ、制御ゲート電圧を高電圧化することなく電子の浮遊ゲート電極13への注入効率が向上する。

【0099】

なお、第3の実施形態においても、スタックトゲート型のゲート電極構造に限られず、スプリットゲート型のゲート電極構造を有していても良く、電極の構造には依存しない。

【0100】

また、半導体基板11の材料は、特に限定されないが、シリコン(Si)を用いると良い。また、SOI基板を用いてもよく、さらにその形状は板状に限られず、ソース領域16及びドレイン領域17を形成できるウェルを有する半導体領域を含む部材であればよい。

【0101】

以下、第3の実施形態に係る不揮発性半導体記憶装置の製造方法について説明する。

【0102】

図10(a)～図10(d)は本発明の第3の実施形態に係る不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。

【0103】

まず、図10(a)に示すように、例えばシリコン(Si)からなる半導体基板11の主面上に、熱酸化法又はCVD法等により、半導体基板11の表面を保護する酸化シリコンからなる保護酸化膜21を形成する。その後、半導体基板11に対してしきい値電圧制御用のp型不純物であるホウ素(B)イオンを注入する。

【0104】

次に、図10(b)に示すように、フォトリソグラフィ法により、半導体基板11上にドレイン形成領域を露出する開口部を持つレジストからなるマスクパターン31を形成する。続いて、形成したマスクパターン31を用いて、半導体基板11に対して、注入エネルギーが10keV～30keV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ～ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のp型不純物であるホウ素(

B) イオンを注入することにより、半導体基板11の浅い位置に埋込み部上部隣接領域18Aを形成する。続いて、マスクパターン31を用いて、埋込み部上部隣接領域18Aよりも高い注入エネルギー、すなわち、注入エネルギーが30k eV～50k eV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ～ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のホウ素(B)イオンを注入することにより、その上端部が埋込みドレイン部が形成される領域の下部又は下側に位置するように埋込み部下部隣接領域18Bを形成する。

【0105】

続いて、マスクパターン31を用いて半導体基板11に対して、注入エネルギーが20k eV～50k eV程度で、ドーズ量が $1.0 \times 10^{13} \text{ cm}^{-2}$ ～ $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度のn型不純物であるヒ素(As)イオンを注入することにより、埋込み部上部隣接領域18Aと埋込み部下部隣接領域18Bとの間に埋込みドレイン部17aを形成する。

【0106】

次に、図10(c)に示すように、マスクパターン31及び保護酸化膜21を除去した後、熱酸化法等により、半導体基板11の主面上に、膜厚が11nm程度の酸化シリコンからなるゲート絶縁膜形成膜12Aを形成する。続いて、減圧CVD法等により、ゲート絶縁膜形成膜12A上に膜厚が0.1μm程度のポリシリコンからなる第1ゲート電極形成膜13Aを堆積する。さらに、第1ゲート電極形成膜13Aの上に膜厚が13nm程度の酸化シリコン又は窒化シリコン等からなる容量絶縁膜形成膜14Aを形成し、形成した容量絶縁膜形成膜14Aの上に膜厚が0.1μm程度のポリシリコンからなる第2ゲート電極形成膜15Aを堆積する。

【0107】

次に、図10(d)に示すように、第2ゲート電極形成膜15A、容量絶縁膜形成膜14A、第1ゲート電極形成膜13A及びゲート絶縁膜形成膜12Aに対して選択的にパターニングを行なうことにより、第2ゲート電極形成膜15Aから制御ゲート電極15を、容量絶縁膜形成膜14Aから容量絶縁膜14を、第1ゲート電極形成膜13Aから浮遊ゲート電極13を、ゲート絶縁膜形成膜12A

からゲート絶縁膜12をそれぞれ形成する。このとき、浮遊ゲート電極13を埋込みドレイン部17aにおけるソース形成領域側の端部の上方に位置するように形成する。

【0108】

続いて、少なくとも制御ゲート電極15及び浮遊ゲート電極13をマスクとして、半導体基板11に注入エネルギーが50kEV程度で、ドーザ量が $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度のヒ素(As)イオンを注入することにより、半導体基板11のソース形成領域にソース領域16を形成すると共に、ドレイン形成領域に浮遊ゲート電極13の下側で埋込みドレイン部17aと接続されるようにドレイン領域17を形成する。

【0109】

このように、第3の実施形態に係る製造方法によると、半導体基板11における浮遊ゲート電極13の下方の領域に所望の不純物プロファイルを持ち且つドレイン領域17と接続された埋込みドレイン部17aを形成できる。さらに、埋込みドレイン部17aの上側には埋込み部上部隣接領域18Aを形成できると共に、埋込みドレイン部17aの下側には埋込み部下部隣接領域18Bを形成できる。

【0110】

なお、本実施形態においては、埋込み部上部隣接領域18A、埋込み部下部隣接領域18B及び埋込みドレイン部17aの各形成順序は問われない。

【0111】

(第4の実施形態)

以下、本発明の第4の実施形態について図面を参照しながら説明する。

【0112】

図11(a)は本発明の第4の実施形態に係る不揮発性半導体記憶装置であって、nチャネルフラッシュEEPROMの断面構成を示している。図11(a)において、図1(a)に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0113】

第4の実施形態に係る不揮発性半導体記憶装置は、半導体基板11における浮遊ゲート電極13の形成領域に該浮遊ゲート電極13が跨ぐ段差部11bが設けられている。ソース領域16は段差部11bの上段に設けられ、ドレイン領域17は段差部11bの下段に設けられている。埋込みドレイン部17aの上端部は段差部11bの下段の表面に達することができなく、且つ、ソース領域16側の側端部は段差部11bの側面（段差側面）のほぼ下方に位置するように設けられている。また、ゲート絶縁膜12は段差部11bの側面にも形成されている。

【0114】

これにより、第1の実施形態と同様の効果を得ることができる。すなわち、図11(b)の半導体基板11における埋込みドレイン部17aとチャネル領域11aとの模式的な拡大図に示すように、埋込みドレイン部17aが、チャネル領域11aで基板の表面に接していないため、ドレイン電位による空乏層の広がりと制御ゲート電位とによって、基板の表面近傍において等電位線20が基板面と平行な方向に湾曲する。この等電位線の湾曲により、チャネル領域11aにおける基板の表面近傍を流れるキャリア（電子）が基板面に垂直な方向の成分を持つ電界中におかれる。これにより、図11(b)の矢印に示すように、電子は基板面に垂直で且つ上向きの成分を持つ外力を受け、さらに、矢印の方向には浮遊ゲート電極13が設けられているため、電子の浮遊ゲート電極13への注入効率が向上する。

【0115】

さらに、本実施形態の特徴として、浮遊ゲート電極13が跨ぐ段差部11bを設けることにより、書き込み速度がより大きく向上する。

【0116】

以下、段差部11bを設けた場合の効果について説明する。

【0117】

書き込み動作時には、段差部11bの下段に設けられたドレイン領域17に印加されるドレイン電圧によりソース領域16に向かう電界は、段差部11bの下段の角部を回り込むことになる。このため、段差側面の近傍部分に電界が及びにくいので、角部近傍において電界の集中が起こりやすくなる。

【0118】

第1の実施形態で説明したように、埋込みドレイン部17aが基板の表面に達していないため、書き込み動作時にチャネル領域11aにおける埋込みドレイン部17aの上方部分で基板面に平行な方向の高電界が発生する。

【0119】

すなわち、チャネル領域11aにおける段差部11bの下段部分（以下、下段のチャネル領域11aと呼ぶ。）の基板面方向の高電界と、段差部11bの下段の角部近傍に発生する電界の集中との重ね合わせにより、基板面方向の電界強度が大きくなる。これにより、段差部11bの下段の角部から下段のチャネル領域11aにわたる広い範囲で高電界が発生し、ホットエレクトロンの発生効率が向上する。

【0120】

また、段差部11bを設けた場合は、該段差部11bの下段の近傍に高電界が発生するため、ドレイン電圧を低くしても高電界が得られるので、ドレイン電圧を低電圧化することができる。

【0121】

なお、第4の実施形態においても、半導体基板11上に順次積層されたゲート絶縁膜12、浮遊ゲート電極13、容量絶縁膜14及び制御ゲート電極15からなる、いわゆるスタックトゲート型のゲート電極構造に限られず、代わりに、スプリットゲート型のゲート電極構造を有していてもよく、電極の構造には依存しない。但し、浮遊ゲート電極13は段差部11bを跨ぐように形成する必要がある。

【0122】

また、段差部11bの上段と下段とをつなぐ側面は、必ずしも基板面と垂直である必要はない。例えば、段差側面は曲面であってもよく、また、下段に対して傾斜していてもよい。

【0123】

また、半導体基板11の材料は限定されないが、例えばシリコン（Si）を用いると良い。また、SOI基板を用いてもよく、さらにその形状は板状に限られ

ず、ソース領域16及びドレイン領域17を形成できるウェルを有する半導体領域を含む部材であればよい。

【0124】

(第4の実施形態の第1変形例)

図12(a)は本発明の第4の実施形態の第1変形例に係る不揮発性半導体記憶装置の断面構成を示している。図12(a)において、図11(a)に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0125】

図12(a)に示すように、本変形例は、埋込みドレイン部17aと半導体基板11の段差部11bの下段の表面との間に、埋込みドレイン部17aと反対の導電型の埋込み部上部隣接領域18Aが設けられていることを特徴とする。

【0126】

半導体基板11のp型不純物濃度よりも大きいp型不純物濃度を持つ埋込み部上部隣接領域18Aにより、下段のチャネル領域11aの電界が大きくなる。また、段差部11bの下段の角部が埋込み部上部隣接領域18Aにより覆われるため、角部周辺の不純物濃度も大きくなるので、下段の角部近傍に発生する電界も大きくなる。

【0127】

また、下段のチャネル領域11aに発生する高電界と、段差部11bにより発生する下段の角部近傍に発生する高電界との重ね合わせによって、ホットエレクトロンの発生効率が飛躍的に向上するため、書き込み動作がより一層高速となる。このとき、半導体基板11に対して負の基板バイアス電圧を印加すると、基板電位が下がるため、下段のチャネル領域11aと浮遊ゲート電極13との電位差が大きくなるので、チャネル電子が浮遊ゲート電極13に電気的に引き付けられやすくなり、電子の浮遊ゲート電極13への注入効率が向上する。

【0128】

その上、埋込みドレイン部17aの上側に設けられる埋込み部上部隣接領域18Aはチャネル領域11aを含むため、埋込み部上部隣接領域18Aの不純物濃度を調整することにより、メモリセルのしきい値電圧の値を所望の値に設定する

ことも可能となる。

【0129】

(第4の実施形態の第2変形例)

図12(b)は本発明の第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の断面構成を示している。図12(b)において、図11(a)に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0130】

図12(b)に示すように、本変形例は、埋込みドレイン部17aと半導体基板11の段差部11bの下段の表面との間に、埋込みドレイン部17aと反対の導電型の埋込み部上部隣接領域18Aが設けられ、埋込みドレイン部17aの下側に、埋込みドレイン部17aと反対の導電型の埋込み部下部隣接領域18Bとが設けられている。

【0131】

第3の実施形態と同様に、埋込み部上部隣接領域18Aと埋込み部下部隣接領域18Bとを埋込みドレイン部17aを上下方向から挟むように形成することにより、基板バイアス電圧を印加すると、埋込み部上部隣接領域18Aとドレイン領域17とのpn接合による電位差がより大きくなるため、ホットエレクトロンの発生効率を向上させることができる。

【0132】

さらに、第2変形例は、半導体基板11に浮遊ゲート電極13が跨ぐ段差部11bを設けているため、半導体基板11に基板バイアス電圧を印加したときに、基板面に平行な方向の電界が大きくなるという効果が顕著となる。

【0133】

図13は書き込み動作時の下段のチャネル領域11aに生じる電界のうち基板面に平行な方向の電界強度の計算機によるシミュレーション結果を示し、符号17aは埋込みドレイン部17aと対応する上方の領域であることを示している。ここでは、基板バイアス電圧V_{sub}として-2Vを印加した場合と、接地電位である0Vを印加した場合とを示している。図13に示すように、埋込みドレイン部17aの上側に埋込み部上部隣接領域18Aを設け、且つ、埋込みドレイン部

17aの下側にも埋込み部下部隣接領域18Bを設けると、基板に負バイアスを印加した場合に、チャネル領域11aにおける埋込みドレイン部17aの上方部分に発生する基板面に平行な方向の電界強度が接地電位の場合よりも広範囲にわたって上昇する。このように、段差部11bを設けることにより、埋込み部上部隣接領域18Aと半導体基板11との電気的な接続が強くなるので、基板電圧効果が大きくなる。その結果、下段のチャネル領域11aにおいて、ホットエレクトロンの発生効率が向上するため、書き込み動作が高速となる。

【0134】

(第4の実施形態の第1の製造方法)

以下、第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の第1の製造方法について図面を参照しながら説明する。

【0135】

図14(a)～図14(d)及び図15(a)～図15(c)は第4の実施形態の第2変形例に係る第1の製造方法の工程順の断面構成を示している。

【0136】

まず、図14(a)に示すように、例えばシリコン(Si)からなる半導体基板11の主面上に、熱酸化法又はCVD法等により、半導体基板11の表面を保護する酸化シリコンからなる保護酸化膜21を形成する。その後、半導体基板11に、注入エネルギーが30keV程度でドーズ量が $5.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のp型不純物であるホウ素(B)イオンをしきい値電圧制御用として注入する。

【0137】

次に、図14(b)に示すように、フォトリソグラフィ法により、半導体基板11上にドレイン形成領域を露出する開口部を持つレジストからなるマスクパターン31を形成する。続いて、形成したマスクパターン31を用いて半導体基板11に対して、注入エネルギーが20keV～50keV程度で、ドーズ量が $1.0 \times 10^{13} \text{ cm}^{-2} \sim 1.0 \times 10^{14} \text{ cm}^{-2}$ 程度のn型不純物であるヒ素(As)イオンを注入することにより、その上端部が半導体基板11の表面と間隔をおくように深い位置に埋込みドレイン部17aを形成する。

【0138】

続いて、マスクパターン31を用いて、半導体基板11に対して、注入エネルギーが10keV～30keV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ～ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のp型不純物であるホウ素(B)イオンを注入することにより、埋込みドレイン部17aの上側に埋込み部上部隣接領域18Aを形成する。続いて、マスクパターン31を用いて、埋込み部上部隣接領域18Aよりも高い注入エネルギー、すなわち、注入エネルギーが30keV～50keV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ～ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のホウ素(B)イオンを注入することにより、その上端部が埋込みドレイン部17aの下部に位置するように埋込み部下部隣接領域18Bを形成する。

【0139】

次に、図14(c)に示すように、マスクパターン31を用いて、保護酸化膜21及び半導体基板11に対して埋込み部上部隣接領域18Aを露出する程度、例えば深さが約50nmとなるエッティングを行なうことにより、半導体基板11の上部に段差部11bを形成する。

【0140】

次に、図14(d)に示すように、マスクパターン31及び保護酸化膜21を除去した後、図15(a)に示すように、熱酸化法等により、半導体基板11の主面上に段差部11bの段差側面を含む全面にわたって、膜厚が11nm程度の酸化シリコンからなるゲート絶縁膜形成膜12Aを形成する。続いて、減圧CVD法等により、ゲート絶縁膜形成膜12A上に膜厚が $0.1 \mu\text{m}$ 程度のポリシリコンからなる第1ゲート電極形成膜13Aを段差部11bを含む全面に堆積する。さらに、第1ゲート電極形成膜13Aの上に膜厚が13nm程度の酸化シリコン又は窒化シリコン等からなる容量絶縁膜形成膜14Aを形成し、形成した容量絶縁膜形成膜14Aの上に膜厚が $0.1 \mu\text{m}$ 程度のポリシリコンからなる第2ゲート電極形成膜15Aを堆積する。

【0141】

次に、図15(b)に示すように、第2ゲート電極形成膜15A、容量絶縁膜形成膜14A、第1ゲート電極形成膜13A及びゲート絶縁膜形成膜12Aに対

して選択的にパターニングを行なうことにより、第2ゲート電極形成膜15Aから制御ゲート電極15を、容量絶縁膜形成膜14Aから容量絶縁膜14を、第1ゲート電極形成膜13Aから浮遊ゲート電極13を、ゲート絶縁膜形成膜12Aからゲート絶縁膜12をそれぞれ形成する。このとき、浮遊ゲート電極13及び制御ゲート電極15は段差部11bを跨ぐように形成する。

【0142】

次に、図15(c)に示すように、少なくとも制御ゲート電極15及び浮遊ゲート電極13をマスクとして、半導体基板11に注入エネルギーが50keV程度で、ドーズ量が $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度のヒ素(A s)イオンを注入することにより、半導体基板11のソース形成領域にソース領域16を形成すると共に、ドレイン形成領域に浮遊ゲート電極13の下側で埋込みドレイン部17aと接続されるようにドレイン領域17を形成する。

【0143】

このように、第4の実施形態の第1の製造方法によると、半導体基板11における浮遊ゲート電極13の下方の領域に所望の不純物プロファイルを持ち且つドレイン領域17と接続された埋込みドレイン部17aを形成できる。さらに、埋込みドレイン部17aの上側には埋込み部上部隣接領域18Aを形成できると共に、埋込みドレイン部17aの下側には埋込み部下部隣接領域18Bを形成できる。

【0144】

なお、第1の製造方法においては、埋込み部上部隣接領域18A、埋込み部下部隣接領域18B及び埋込みドレイン部17aの各形成順序は問われない。

【0145】

また、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bは必ずしも設ける必要はなく、また、いずれか一方のみを設けても良い。例えば、いずれの隣接領域18A、18Bをも形成しない場合には、第4の実施形態に係る不揮発性半導体記憶装置を実現でき、また、埋込み部上部隣接領域18Aのみを形成する場合には、第4の実施形態の第1変形例に係る不揮発性半導体記憶装置を実現できる。

【0146】

また、埋込みドレイン部17aの導電型は、その不純物濃度が埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bよりも小さいp型としてもよい。

【0147】

(第4の実施形態の第2の製造方法)

以下、第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の第2の製造方法について図面を参照しながら説明する。

【0148】

図16(a)～図16(d)及び図17(a)～図17(d)は第4の実施形態の第2変形例に係る第2の製造方法の工程順の断面構成を示している。

【0149】

まず、図16(a)に示すように、例えばシリコン(Si)からなる半導体基板11の主面上に、熱酸化法又はCVD法等により、半導体基板11の表面を保護する酸化シリコンからなる保護酸化膜21を形成する。その後、半導体基板11に、注入エネルギーが30keV程度でドーズ量が $5.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のp型不純物であるホウ素(B)イオンをしきい値電圧制御用として注入する。

【0150】

次に、図16(b)に示すように、フォトリソグラフィ法により、半導体基板11上にドレイン形成領域を露出する開口部を持つレジストからなるマスクパターン31を形成する。続いて、形成したマスクパターン31を用いて、半導体基板11に対して、注入エネルギーが10keV～30keV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のp型不純物であるホウ素(B)イオンを注入することにより、半導体基板11の浅い位置に埋込み部上部隣接領域18Aを形成する。続いて、マスクパターン31を用いて、埋込み部上部隣接領域18Aよりも高い注入エネルギー、すなわち、注入エネルギーが30keV～50keV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のホウ素(B)イオンを注入することにより、その上端部が埋込みドレイン部が形成される領域の下部又は下側に位置するように埋込み部下部隣接領域

18Bを形成する。但し、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bの形成順序はいずれが先でも構わない。

【0151】

次に、図16(c)に示すように、マスクパターン31を用いて、保護酸化膜21及び半導体基板11に対して埋込み部上部隣接領域18Aを露出する程度、例えば深さが50nm程度のエッチングを行なうことにより、半導体基板11の上部に段差部11bを形成する。

【0152】

次に、図16(d)に示すように、マスクパターン31を用いて、半導体基板11に対して注入エネルギーが20keV～50keV程度で、ドーズ量が $1.0 \times 10^{13} \text{ cm}^{-2}$ ～ $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度のn型不純物であるヒ素(As)イオンを注入することにより、埋込み部上部隣接領域18Aと埋込み部下部隣接領域18Bとの間に埋込みドレイン部17aを形成する。

【0153】

次に、図17(a)に示すように、マスクパターン31及び保護酸化膜21を除去した後、図17(b)に示すように、熱酸化法等により、半導体基板11の主面上に段差部11bの段差側面を含む全面にわたって、膜厚が11nm程度の酸化シリコンからなるゲート絶縁膜形成膜12Aを形成する。続いて、減圧CVD法等により、ゲート絶縁膜形成膜12A上に膜厚が $0.1 \mu\text{m}$ 程度のポリシリコンからなる第1ゲート電極形成膜13Aを段差部11bを含む全面に堆積する。さらに、第1ゲート電極形成膜13Aの上に膜厚が13nm程度の酸化シリコン又は窒化シリコン等からなる容量絶縁膜形成膜14Aを形成し、形成した容量絶縁膜形成膜14Aの上に膜厚が $0.1 \mu\text{m}$ 程度のポリシリコンからなる第2ゲート電極形成膜15Aを堆積する。

【0154】

次に、図17(c)に示すように、第2ゲート電極形成膜15A、容量絶縁膜形成膜14A、第1ゲート電極形成膜13A及びゲート絶縁膜形成膜12Aに対して選択的にパターニングを行なうことにより、第2ゲート電極形成膜15Aから制御ゲート電極15を、容量絶縁膜形成膜14Aから容量絶縁膜14を、第1

ゲート電極形成膜13Aから浮遊ゲート電極13を、ゲート絶縁膜形成膜12Aからゲート絶縁膜12をそれぞれ形成する。このとき、浮遊ゲート電極13及び制御ゲート電極15は段差部11bを跨ぐように形成する。

【0155】

次に、図17(d)に示すように、少なくとも制御ゲート電極15及び浮遊ゲート電極13をマスクとして、半導体基板11に注入エネルギーが50keV程度で、ドーザ量が $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度のヒ素(A s)イオンを注入することにより、半導体基板11のソース形成領域にソース領域16を形成すると共に、ドレイン形成領域に浮遊ゲート電極13の下側で埋込みドレイン部17aと接続されるようにドレイン領域17を形成する。

【0156】

このように、第4の実施形態の第2の製造方法によると、半導体基板11における浮遊ゲート電極13の下方の領域に所望の不純物プロファイルを持ち且つドレイン領域17と接続された埋込みドレイン部17aを形成できる。さらに、埋込みドレイン部17aの上側には埋込み部上部隣接領域18Aを形成できると共に、埋込みドレイン部17aの下側には埋込み部下部隣接領域18Bを形成できる。

【0157】

なお、第2の製造方法においては、段差部11bを形成するよりも前に埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bを形成し、段差部11aを形成した後に埋込みドレイン部17aを形成したが、これに限られない。すなわち、段差部11bを形成するよりも前に埋込みドレイン部17aを形成し、段差部11bを設けた後、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bを形成してもよい。また、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bは必ずしも設けなくてもよく、いずれか一方のみでもよい。

【0158】

また、埋込みドレイン部17aの導電型は、その不純物濃度が埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bよりも小さいp型としてもよい。

【0159】

(第4の実施形態の第3の製造方法)

以下、第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の第3の製造方法について図面を参照しながら説明する。

【0160】

図18(a)～図18(d)及び図19(a)～図19(c)は第4の実施形態の第2変形例に係る第3の製造方法の工程順の断面構成を示している。

【0161】

まず、図18(a)に示すように、例えばシリコン(Si)からなる半導体基板11の主面上に、熱酸化法又はCVD法等により、半導体基板11の表面を保護する酸化シリコンからなる保護酸化膜21を形成する。その後、半導体基板11に、注入エネルギーが30keV程度でドーズ量が $5.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のp型不純物であるホウ素(B)イオンをしきい値電圧制御用として注入する。

【0162】

次に、図18(b)に示すように、フォトリソグラフィ法により、半導体基板11上にドレイン形成領域を露出する開口部を持つレジストからなるマスクパターン31を形成する。続いて、形成したマスクパターン31を用いて、保護酸化膜21及び半導体基板11に対してエッチングを行なうことにより、半導体基板11の上部に深さが50nm程度の段差部11bを形成する。

【0163】

次に、図18(c)に示すように、マスクパターン31を用いて、半導体基板11に対して、注入エネルギーが10keV～30keV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のp型不純物であるホウ素(B)イオンを注入することにより、半導体基板11の浅い位置に埋込み部上部隣接領域18Aを形成する。続いて、マスクパターン31を用いて、埋込み部上部隣接領域18Aよりも高い注入エネルギー、すなわち、注入エネルギーが30keV～50keV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のホウ素(B)イオンを注入することにより、その上端部が埋込みドレン部が形成される領域の下部又は下側に位置するように埋込み部下部隣接領域1

8Bを形成する。

【0164】

続いて、マスクパターン31を用いて、半導体基板11に対して注入エネルギーが20keV~50keV程度で、ドーズ量が $1.0 \times 10^{13} \text{ cm}^{-2}$ ~ $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度のn型不純物であるヒ素(As)イオンを注入することにより、埋込み部上部隣接領域18Aと埋込み部下部隣接領域18Bとの間に埋込みドレイン部17aを形成する。

【0165】

次に、図18(d)に示すように、マスクパターン31及び保護酸化膜21を除去した後、図19(a)に示すように、熱酸化法等により、半導体基板11の主面上に段差部11bの段差側面を含む全面にわたって、膜厚が11nm程度の酸化シリコンからなるゲート絶縁膜形成膜12Aを形成する。続いて、減圧CVD法等により、ゲート絶縁膜形成膜12A上に膜厚が0.1μm程度のポリシリコンからなる第1ゲート電極形成膜13Aを段差部11bを含む全面に堆積する。さらに、第1ゲート電極形成膜13Aの上に膜厚が13nm程度の酸化シリコン又は窒化シリコン等からなる容量絶縁膜形成膜14Aを形成し、形成した容量絶縁膜形成膜14Aの上に膜厚が0.1μm程度のポリシリコンからなる第2ゲート電極形成膜15Aを堆積する。

【0166】

次に、図19(b)に示すように、第2ゲート電極形成膜15A、容量絶縁膜形成膜14A、第1ゲート電極形成膜13A及びゲート絶縁膜形成膜12Aに対して選択的にパターニングを行なうことにより、第2ゲート電極形成膜15Aから制御ゲート電極15を、容量絶縁膜形成膜14Aから容量絶縁膜14を、第1ゲート電極形成膜13Aから浮遊ゲート電極13を、ゲート絶縁膜形成膜12Aからゲート絶縁膜12をそれぞれ形成する。このとき、浮遊ゲート電極13及び制御ゲート電極15は段差部11bを跨ぐように形成する。

【0167】

次に、図19(c)に示すように、少なくとも制御ゲート電極15及び浮遊ゲート電極13をマスクとして、半導体基板11に注入エネルギーが50keV程

度で、ドーザ量が $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度のヒ素(A.s.)イオンを注入することにより、半導体基板11のソース形成領域にソース領域16を形成すると共に、ドレイン形成領域に浮遊ゲート電極13の下側で埋込みドレイン部17aと接続されるようにドレイン領域17を形成する。

【0168】

このように、第4の実施形態の第3の製造方法によると、半導体基板11における浮遊ゲート電極13の下方の領域に所望の不純物プロファイルを持ち且つドレイン領域17と接続された埋込みドレイン部17aを形成できる。さらに、埋込みドレイン部17aの上側には埋込み部上部隣接領域18Aを形成できると共に、埋込みドレイン部17aの下側には埋込み部下部隣接領域18Bを形成できる。

【0169】

なお、第3の製造方法においては、埋込み部上部隣接領域18A、埋込み部下部隣接領域18B及び埋込みドレイン部17aの各形成順序は問われない。

【0170】

また、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bは必ずしも設ける必要はなく、また、いずれか一方のみを設けても良い。

【0171】

また、埋込みドレイン部17aの導電型は、その不純物濃度が埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bよりも小さいP型としてもよい。

【0172】

(第5の実施形態)

以下、本発明の第5の実施形態について図面を参照しながら説明する。

【0173】

図20(a)は本発明の第5の実施形態に係る不揮発性半導体記憶装置であって、nチャネルフラッシュEEPROMの断面構成を示している。図20(a)において、図12(b)に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0174】

図20(a)に示すように、第5の実施形態に係る不揮発性半導体記憶装置は、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bの不純物濃度よりも低濃度でp型の導電型を持つp型埋込みドレイン部17bを有している。ここで、p型埋込みドレイン部17bの不純物濃度は、書き込み動作時に空乏化する程度に設定されている。

【0175】

図20(b)は第5の実施形態に係る不揮発性半導体記憶装置におけるp型埋込みドレイン部17b近傍の2次元数値解析法による等電位分布を表わしている。図20(b)に示すように、p型埋込みドレイン部17bの上方の基板表面の近傍には、チャネル領域11aが形成される。等電位線20はチャネル領域11aにおいて基板面と平行な方向に湾曲しているため、第1の実施形態で説明したように、電子は基板面に対して垂直な方向の成分を持つ電界からの外力を受けるので、電子の浮遊ゲート電極13への注入効率が向上する。

【0176】

また、p型埋込みドレイン部17bは書き込み動作時にドレイン電圧によって空乏化する。この空乏化により、下段のチャネル領域11aにドレイン領域17からソース領域16に向かって電位降下が生じるため、チャネル領域11aに基板面に平行な方向の電界が発生する。

【0177】

このように、n型の埋込みドレイン部17aを設けなくても、高電界が発生する位置がチャネル領域11aのソース領域16側に移動するため、浮遊ゲート電極13の直下の領域で高電界が発生するので、電子の浮遊ゲート電極13への注入効率が大きくなる。

【0178】

その上、半導体基板11における浮遊ゲート電極13の下側に設けた段差部11bによる電界の集中と合わせて、段差部11bの下段の角部から下段のチャネル領域11aの全体にわたって高電界が発生する。

【0179】

以上説明したように、n型の埋込みドレイン部17aをp型とした場合であつ

ても、低電圧駆動により書き込み動作を高速化できる。但し、第5の実施形態は、n型の埋込みドレイン部17aの場合と比べて、読み出し電流の値は小さくなる。

【0180】

なお、段差部11bの上段と下段とをつなぐ側面は必ずしも基板面と垂直である必要はない。例えば、段差側面は曲面であってもよく、また、下段に対して傾斜していてもよい。

【0181】

また、半導体基板11の材料は限定されないが、例えばシリコン(Si)を用いると良い。また、SOI基板を用いてもよく、さらにその形状は板状に限られず、ソース領域16及びドレイン領域17を形成できるウェルを有する半導体領域を含む部材であればよい。

【0182】

なお、p型埋込みドレイン部17bを形成する際の注入条件は、例えば、ホウ素(B)イオンを用いて、注入エネルギーが15keV～40keV程度で、ドーズ量が $1 \times 10^{12} \text{ cm}^{-2}$ ～ $5 \times 10^{12} \text{ cm}^{-2}$ 程度とすれば良く、さらには、このp型埋込みドレイン部17bを形成するためのホウ素のイオン注入を省くことも可能である。

【0183】

また、p型埋込みドレイン部17bが形成される領域に、低ドーズのn型不純物イオン、例えばヒ素(As)等をイオン注入することによって、p型埋込みドレイン部17bの実効的なp型濃度を調節することができる。

【0184】

また、下段のチャネル領域11aにおける電界強度はやや低下するものの、半導体基板11に段差部11bを設けない構成であってもよい。

【0185】

(第6の実施形態)

以下、本発明の第6の実施形態について図面を参照しながら説明する。

【0186】

図21は本発明の第6の実施形態に係る不揮発性半導体記憶装置であって、nチャネルフラッシュEEPROMの断面構成を示している。図21において、図1(a)に示す構成部材と同一の構成部材には同一の符号を付している。

【0187】

図21に示すように、第6の実施形態に係る不揮発性半導体記憶装置は、半導体基板11上にゲート絶縁膜12を介して形成された制御ゲート電極15と、第2絶縁膜としての容量絶縁膜14を介して制御ゲート電極15の側面上に形成された浮遊ゲート電極13とを備えた、いわゆるスプリットゲート型のゲート電極構造を探っている。ここで、容量絶縁膜14は浮遊ゲート電極13が半導体基板11の正面と対向する領域では第1絶縁膜であるトンネル絶縁膜として機能する。

【0188】

半導体基板11における浮遊ゲート電極13の下方の領域には、n型のドレイン領域17におけるn型のソース領域16側の端部が半導体基板11の表面に達することなくソース領域16側に延びたn型の埋込みドレイン部17aが形成されている。さらに、埋込みドレイン部17aの上側にはp型の埋込み部上部隣接領域18Aが形成され、埋込みドレイン部17aの下側にはp型の埋込み部下部隣接領域18Bが形成されている。

【0189】

ここでも、埋込みドレイン部17aの不純物濃度はドレイン領域17の不純物濃度よりも小さく、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bの不純物濃度は、半導体基板11のp型不純物濃度よりも大きくなるように設定されている。

【0190】

このように、半導体基板11上に制御ゲート電極15と浮遊ゲート電極13とを隣接して設けたスプリットゲート型の不揮発性半導体記憶装置であっても、半導体基板11における浮遊ゲート電極13の下方に埋込みドレイン部17aを設けているため、半導体基板11における埋込みドレイン部17aの上方の表面近傍に形成されるチャネル領域11aにおいて、1)等電位線が基板面方向に湾曲

すること、2) ドレイン領域17側からソース領域16側に向けて電位降下が生じること、3) 高電界のピーク位置がチャネル領域11aのソース領域側に移ること、という作用を生じるので、書き込み動作時にホットキャリアの発生の高効率化及び浮遊ゲート電極13への高注入化を図ることができる。

【0191】

なお、半導体基板11の材料は限定されないが、例えばシリコン(Si)を用いると良い。また、SOI基板を用いてもよく、さらにその形状は板状に限られず、ソース領域16及びドレイン領域17を形成できるウエルを有する半導体領域を含む部材であればよい。

【0192】

以下、第6の実施形態に係る不揮発性半導体記憶装置の製造方法について説明する。

【0193】

図22(a)～図22(d)は本発明の第6の実施形態に係る不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。

【0194】

まず、図22(a)に示すように、例えばシリコン(Si)からなる半導体基板11の主面上に、熱酸化法又はCVD法等により、半導体基板11の表面を保護する酸化シリコンからなる保護酸化膜21を形成する。その後、半導体基板11に対しきい値電圧制御用のP型不純物であるホウ素(B)イオンを注入する。

【0195】

次に、図22(b)に示すように、保護酸化膜21を除去した後、熱酸化法等により、半導体基板11の主面上に膜厚が13nm程度の酸化シリコンからなるゲート絶縁膜形成膜12Aを形成する。その後、減圧CVD法等により、ゲート絶縁膜形成膜12A上に膜厚が0.2μm程度のポリシリコン膜を堆積し、フォトリソグラフィ法及びエッチング法を用いて、堆積したポリシリコン膜をパターニングすることにより、第2ゲート電極である制御ゲート電極15を形成する。

【0196】

続いて、半導体基板11上にドレイン形成領域を露出する開口部を持つレジストからなるマスクパターン32を形成する。このとき、ゲート電極15のドレイン側の端部をもマスクとなるように、マスクパターン32のドレイン領域側の端部は制御ゲート電極15の上に位置するように形成する。続いて、形成したマスクパターン32及び制御ゲート電極15をマスクとして、半導体基板11に対して、注入エネルギーが10keV～30keV程度で、ドーザ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ～ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のP型不純物であるホウ素(B)イオンを注入することにより、半導体基板11の浅い位置に埋込み部上部隣接領域18Aを形成する。さらに、埋込み部上部隣接領域18Aよりも高い注入エネルギー、すなわち、注入エネルギーが30keV～50keV程度で、ドーザ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ～ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のホウ素(B)イオンを注入することにより、その上端部が埋込みドレイン部が形成される領域の下部又は下側に位置するように埋込み部下部隣接領域18Bを形成する。

【0197】

続いて、マスクパターン32及び制御ゲート電極15をマスクとして半導体基板11に対して、注入エネルギーが20keV～50keV程度で、ドーザ量が $1.0 \times 10^{13} \text{ cm}^{-2}$ ～ $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度のn型不純物であるヒ素(A)sイオンを注入することにより、埋込み部上部隣接領域18Aと埋込み部下部隣接領域18Bとの間に埋込みドレイン部17aを形成する。

【0198】

なお、第6の実施形態においては、制御ゲート電極15をマスクの一部として自己整合的に埋込み部上部隣接領域18A、埋込み部下部隣接領域18B及び埋込みドレイン部17aのイオン注入を行なったが、第1の実施形態のようにマスクパターン32のみでマスクをしてイオン注入を行ない、その後、制御ゲート電極15と浮遊ゲート電極13を形成してもよい。但し、本実施形態のようにスプリットゲート型の場合は、埋込みドレイン部17aの上方に浮遊ゲート電極13を配置する必要から、制御ゲート電極15をマスクとする自己整合的なイオン注入を行なう方が、制御ゲート電極15と埋込みドレイン部17a等とのマスクの位置合わせが不要となるので好ましい。

【0199】

次に、図22(c)に示すように、マスクパターン32を除去し、その後、ゲート絶縁膜形成膜12Aを制御ゲート電極15をマスクとして除去することにより、制御ゲート電極15の下側にゲート絶縁膜12を形成する。続いて、熱酸化法等により、半導体基板11の主面上に制御ゲート電極15の表面を含む全面にわたって、膜厚が11nm程度の容量絶縁膜形成膜を形成する。続いて、減圧CVD法等により、容量絶縁膜形成膜上に膜厚が0.2μm程度のポリシリコンからなる第1ゲート電極形成膜を堆積する。その後、堆積した第1ゲート電極形成膜に対して異方性エッチングを行なうことにより、第1ゲート電極形成膜から制御ゲート電極15の側面上に容量絶縁膜形成膜を介した浮遊ゲート電極13を自己整合的に形成する。続いて、第1ゲート電極形成膜におけるソース領域側部分及び容量絶縁膜形成膜における半導体基板11上に露出する部分を選択的にエッチングして除去する。これにより、容量絶縁膜形成膜から、浮遊ゲート電極13と半導体基板11とが対向する部分でトンネル絶縁膜となる容量絶縁膜14を得る。

【0200】

次に、図22(d)に示すように、少なくとも制御ゲート電極15及び浮遊ゲート電極13をマスクとして、半導体基板11に注入エネルギーが50keV程度で、ドーズ量が $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度のヒ素(A s)イオンを注入することにより、半導体基板11のソース形成領域にソース領域16を形成すると共に、ドレイン形成領域に浮遊ゲート電極13の下側で埋込みドレイン部17aと接続されるようにドレイン領域17を形成する。

【0201】

このように、第6の実施形態に係る製造方法によると、半導体基板11におけるスプリットゲート型の浮遊ゲート電極13の下方の領域に所望の不純物プロファイルを持ち且つドレイン領域17と接続された埋込みドレイン部17aを形成できる。さらに、埋込みドレイン部17aの上側には埋込み部上部隣接領域18Aを形成できると共に、埋込みドレイン部17aの下側には埋込み部下部隣接領域18Bを形成できる。

【0202】

なお、本実施形態においては、埋込み部上部隣接領域18A、埋込み部下部隣接領域18B及び埋込みドレイン部17aの各形成順序は問われない。

【0203】

また、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bは必ずしも設ける必要はなく、また、いずれか一方のみを設けてもよい。

【0204】

また、埋込みドレイン部17aの導電型は、その不純物濃度が埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bよりも小さいp型としてもよい。

【0205】

(第7の実施形態)

以下、本発明の第7の実施形態について図面を参照しながら説明する。

【0206】

図23は本発明の第7の実施形態に係る不揮発性半導体記憶装置であって、nチャネルフラッシュEEPROMの断面構成を示している。図23において、図21に示す構成部材と同一の構成部材には同一の符号を付することにより、説明を省略する。

【0207】

図23に示すように、第7の実施形態に係る不揮発性半導体記憶装置は、制御ゲート電極15と浮遊ゲート電極13とが半導体基板11上に並置されたスプリットゲート型のゲート電極構造を有し、さらに、半導体基板11における浮遊ゲート電極13の下側部分にドレイン領域17が下段となる段差部11bが設けられている。

【0208】

これにより、第6の実施形態と同様の効果を得られる上に、段差部11bの下段の角部によって、下段のチャネル領域11aの基板面方向の高電界と、段差部11bの下段の角部近傍に発生する電界集中との重ね合わせにより、基板面方向の電界が大きくなり、段差部11bの下段の角部から下段のチャネル領域11aにわたる広い範囲で高電界が発生し、ホットエレクトロンの発生効率が向上する

【0209】

(第7の実施形態の第1の製造方法)

以下、第7の実施形態に係る不揮発性半導体記憶装置の第1の製造方法について図面を参照しながら説明する。

【0210】

図24(a)～図26(b)は第7の実施形態に係る第1の製造方法の工程順の断面構成を示している。

【0211】

まず、図24(a)に示すように、例えばシリコン(Si)からなる半導体基板11の主面上に、熱酸化法又はCVD法等により、半導体基板11の表面を保護する酸化シリコンからなる保護酸化膜21を形成する。その後、半導体基板11に、注入エネルギーが30keV程度でドーズ量が $5.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のp型不純物であるホウ素(B)イオンをしきい値電圧制御用として注入する。

【0212】

次に、図24(b)に示すように、保護酸化膜21を除去した後、熱酸化法等により、半導体基板11の主面上に膜厚が13nm程度のゲート絶縁膜形成膜12Aを形成する。その後、減圧CVD法等により、ゲート絶縁膜形成膜12A上に膜厚が $0.2 \mu\text{m}$ 程度のポリシリコン膜を堆積し、フォトリソグラフィ法及びエッティング法を用いて、堆積したポリシリコン膜をパターニングすることにより、第2ゲート電極である制御ゲート電極15を形成する。

【0213】

次に、図24(c)に示すように、半導体基板11上にドレイン形成領域を露出する開口部を持つレジストからなる第1のマスクパターン33を形成する。このとき、ゲート電極15のドレイン側の端部が自己整合的なマスクとなるよう、第1のマスクパターン33のドレイン領域側の開口端部を制御ゲート電極15の上に形成する。続いて、形成した第1のマスクパターン33及び制御ゲート電極15をマスクとして、半導体基板11に対して、注入エネルギーが10keV

~30 keV程度で、ドーザ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ~ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度の p 型不純物であるホウ素 (B) イオンを注入することにより、半導体基板 11 の浅い位置に埋込み部上部隣接領域 18A を形成する。さらに、埋込み部上部隣接領域 18A よりも高い注入エネルギー、すなわち、注入エネルギーが 30 keV ~ 50 keV 程度で、ドーザ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ~ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のホウ素 (B) イオンを注入することにより、その上端部が埋込みドレイン部の形成領域の下部又は下側に位置するように埋込み部下部隣接領域 18B を形成する。

【0214】

続いて、第1のマスクパターン 33 及び制御ゲート電極 15 をマスクとして半導体基板 11 に対して、注入エネルギーが 20 keV ~ 50 keV 程度で、ドーザ量が $1.0 \times 10^{13} \text{ cm}^{-2}$ ~ $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度の n 型不純物であるヒ素 (As) イオンを注入することにより、埋込み部上部隣接領域 18A と埋込み部下部隣接領域 18B との間に埋込みドレイン部 17a を形成する。

【0215】

次に、図 24 (d) に示すように、第1のマスクパターン 33 を除去した後、例えば CVD 法により半導体基板 11 上に全面にわたって BPSG 膜を堆積し、堆積した BPSG 膜に対して異方性エッチングを行なって、制御ゲート電極 15 の側面上に段差部形成用のエッチングマスクとなるサイドウォール 22 を形成する。なお、サイドウォール 22 の膜厚を変えることにより、制御ゲート電極 15 の側端部と段差部との間隔を調節することができる。ここでは、BPSG 膜の膜厚を 0.1 μm 程度としている。

【0216】

次に、図 25 (a) に示すように、半導体基板 11 上にドレイン形成領域及びサイドウォール 22 のうちのドレイン形成領域側を露出する開口部を持つレジストからなる第2のマスクパターン 34 を形成する。続いて、形成した第2のマスクパターン 34 及びサイドウォール 22 をマスクとして、ゲート絶縁膜形成膜 12A 及び半導体基板 11 に対して埋込み部上部隣接領域 18A を露出する程度、例えば深さが 50 nm 程度のエッチングを行なうことにより、半導体基板 11 の

上部に段差部11bを形成する。

【0217】

次に、図25(b)に示すように、第2のマスクパターン34及びサイドウォール22を除去した後、ゲート絶縁膜形成膜12Aを制御ゲート電極15をマスクとして除去することにより、制御ゲート電極15の下側にゲート絶縁膜12を形成する。

【0218】

次に、図25(c)に示すように、熱酸化法等により、半導体基板11上に制御ゲート電極15の表面及び段差部11bを含む全面にわたって膜厚が11nm程度の容量絶縁膜形成膜14Aを形成する。

【0219】

次に、図25(d)に示すように、減圧CVD法等により、容量絶縁膜形成膜14A上に膜厚が0.2μm程度のポリシリコンからなる第1ゲート電極形成膜を堆積する。その後、堆積した第1ゲート電極形成膜に対して異方性エッティングを行なうことにより、第1ゲート電極形成膜から制御ゲート電極15の側面上に容量絶縁膜形成膜14Aを介した浮遊ゲート電極13を自己整合的に形成する。

【0220】

次に、図26(a)に示すように、容量絶縁膜形成膜14Aにおける半導体基板11上に露出する部分を除去することにより、容量絶縁膜形成膜14Aから、浮遊ゲート電極13と半導体基板11とが対向する部分でトンネル絶縁膜となる容量絶縁膜14を形成する。その後、浮遊ゲート電極13の露出部分に絶縁酸化膜23を形成する。

【0221】

次に、図26(b)に示すように、少なくとも制御ゲート電極15及び浮遊ゲート電極13をマスクとして、半導体基板11に注入エネルギーが50keV程度で、ドーズ量が $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度のヒ素(As)イオンを注入することにより、半導体基板11のソース形成領域にソース領域16を形成すると共に、ドレイン形成領域に浮遊ゲート電極13の下側で埋込みドレイン部17aと接続されるようにドレイン領域17を形成する。

【0222】

このように、第7の実施形態に係る第1の製造方法によると、浮遊ゲート電極13が段差部11bを跨ぐ構成のスプリットゲート型電極を有する不揮発性半導体記憶装置において、半導体基板11における浮遊ゲート電極13の下方であって、段差部11bの下段の領域に所望の不純物プロファイルを持ち且つドレイン領域17と接続された埋込みドレイン部17aを形成できる。さらに、埋込みドレイン部17aの上側には埋込み部上部隣接領域18Aを形成できると共に、埋込みドレイン部17aの下側には埋込み部下部隣接領域18Bを形成できる。

【0223】

なお、埋込み部上部隣接領域18A、埋込み部下部隣接領域18B及び埋込みドレイン部17aの各形成順序は問われない。

【0224】

また、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bは必ずしも設ける必要はなく、また、いずれか一方のみを設けてもよい。

【0225】

また、埋込みドレイン部17aの導電型は、その不純物濃度が埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bよりも小さいp型としてもよい。

【0226】

(第7の実施形態の第2の製造方法)

以下、第7の実施形態に係る不揮発性半導体記憶装置の第2の製造方法について図面を参照しながら説明する。

【0227】

図27(a)～図29(b)は第7の実施形態に係る第2の製造方法の工程順の断面構成を示している。

【0228】

まず、図27(a)に示すように、例えばシリコン(Si)からなる半導体基板11の主面上に、熱酸化法又はCVD法等により、半導体基板11の表面を保護する酸化シリコンからなる保護酸化膜21を形成する。その後、半導体基板11に、注入エネルギーが30keV程度でドーズ量が $5.0 \times 10^{12} \text{ cm}^{-2} \sim 1$

$0 \times 10^{13} \text{ cm}^{-2}$ 程度のP型不純物であるホウ素(B)イオンをしきい値電圧制御用として注入する。

【0229】

次に、図27(b)に示すように、保護酸化膜21を除去した後、熱酸化法等により、半導体基板11の主面上に膜厚が13nm程度のゲート絶縁膜形成膜12Aを形成する。その後、減圧CVD法等により、ゲート絶縁膜形成膜12A上に膜厚が $0.2 \mu\text{m}$ 程度のポリシリコン膜を堆積し、フォトリソグラフィ法及びエッチング法を用いて、堆積したポリシリコン膜をパターニングすることにより、第2ゲート電極である制御ゲート電極15を形成する。

【0230】

続いて、半導体基板11上にドレイン形成領域を露出する開口部を持つレジストからなる第1のマスクパターン33を形成する。このとき、ゲート電極15のドレイン側の端部が自己整合的なマスクとなるように、第1のマスクパターン33のドレイン領域側の開口端部を制御ゲート電極15の上に形成する。続いて、形成した第1のマスクパターン33及び制御ゲート電極15をマスクとして、半導体基板11に対して、注入エネルギーが $10 \text{ keV} \sim 30 \text{ keV}$ 程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のP型不純物であるホウ素(B)イオンを注入することにより、半導体基板11の浅い位置に埋込み部上部隣接領域18Aを形成する。さらに、埋込み部上部隣接領域18Aよりも高い注入エネルギー、すなわち、注入エネルギーが $30 \text{ keV} \sim 50 \text{ keV}$ 程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のホウ素(B)イオンを注入することにより、その上端部が埋込みドレイン部の形成領域の下部又は下側に位置するように埋込み部下部隣接領域18Bを形成する。

【0231】

次に、図27(c)に示すように、第1のマスクパターン33を除去した後、CVD法により半導体基板11上に全面にわたって膜厚が $0.1 \mu\text{m}$ 程度のBPSG膜を堆積し、堆積したBPSG膜に対して異方性エッチングを行なって、制御ゲート電極15の側面上に段差部形成用のエッチングマスクとなるサイドウォール22を形成する。

【0232】

次に、図27(d)に示すように、半導体基板11上にドレイン形成領域及びサイドウォール22のうちのドレイン形成領域側を露出する開口部を持つレジストからなる第2のマスクパターン34を形成する。続いて、形成した第2のマスクパターン34及びサイドウォール22をマスクとして、ゲート絶縁膜形成膜12A及び半導体基板11に対して基板面からの深さが50nm程度のエッティングを行なうことにより、半導体基板11の上部に段差部11bを形成する。

【0233】

次に、図28(a)に示すように、第2のマスクパターン34及びサイドウォール22をマスクとして、半導体基板11の段差部11bの下段に対して、注入エネルギーが20keV～50keV程度で、ドーズ量が $1.0 \times 10^{13} \text{ cm}^{-2}$ ～ $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度のn型不純物であるヒ素(As)イオンを注入することにより、埋込み部上部隣接領域18Aと埋込み部下部隣接領域18Bとの間に埋込みドレイン部17aを形成する。

【0234】

次に、図28(b)に示すように、第2のマスクパターン34及びサイドウォール22を除去した後、ゲート絶縁膜形成膜12Aを制御ゲート電極15をマスクとして除去することにより、制御ゲート電極15の下側にゲート絶縁膜12を形成する。

【0235】

次に、図28(c)に示すように、熱酸化法等により、半導体基板11上に制御ゲート電極15の表面及び段差部11bを含む全面にわたって膜厚が11nm程度の容量絶縁膜形成膜14Aを形成する。

【0236】

次に、図28(d)に示すように、減圧CVD法等により、容量絶縁膜形成膜14A上に膜厚が0.2μm程度のポリシリコンからなる第1ゲート電極形成膜を堆積する。その後、堆積した第1ゲート電極形成膜に対して異方性エッティングを行なうことにより、第1ゲート電極形成膜から制御ゲート電極15の側面上に容量絶縁膜形成膜14Aを介した浮遊ゲート電極13を自己整合的に形成する。

【0237】

次に、図29(a)に示すように、容量絶縁膜形成膜14Aにおける半導体基板11上に露出する部分を除去することにより、容量絶縁膜形成膜14Aから、浮遊ゲート電極13と半導体基板11とが対向する部分でトンネル絶縁膜となる容量絶縁膜14を形成する。その後、浮遊ゲート電極13の露出部分に絶縁酸化膜23を形成する。

【0238】

次に、図29(b)に示すように、少なくとも制御ゲート電極15及び浮遊ゲート電極13をマスクとして、半導体基板11に注入エネルギーが50keV程度で、ドーズ量が $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度のヒ素(A s)イオンを注入することにより、半導体基板11のソース形成領域にソース領域16を形成すると共に、ドレイン形成領域に浮遊ゲート電極13の下側で埋込みドレイン部17aと接続されるようにドレイン領域17を形成する。

【0239】

このように、第7の実施形態に係る第2の製造方法によると、浮遊ゲート電極13が段差部11bを跨ぐ構成のスプリットゲート型電極を有する不揮発性半導体記憶装置において、半導体基板11における浮遊ゲート電極13の下方であって、段差部11bの下段の領域に所望の不純物プロファイルを持ち且つドレイン領域17と接続された埋込みドレイン部17aを形成できる。さらに、埋込みドレイン部17aの上側には埋込み部上部隣接領域18Aを形成できると共に、埋込みドレイン部17aの下側には埋込み部下部隣接領域18Bを形成できる。

【0240】

なお、第2の製造方法においては、段差部11bを形成するよりも前に埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bを形成し、段差部11aを形成した後に埋込みドレイン部17aを形成したが、これに限られない。すなわち、段差部11bを形成するよりも前に埋込みドレイン部17aを形成し、段差部11bを設けた後、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bを形成してもよい。

【0241】

また、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bは必ずしも設ける必要はなく、また、いずれか一方のみを設けててもよい。

【0242】

また、埋込みドレイン部17aの導電型は、その不純物濃度が埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bよりも小さいP型としてもよい。

【0243】

(第7の実施形態の第3の製造方法)

以下、第7の実施形態に係る不揮発性半導体記憶装置の第3の製造方法について図面を参照しながら説明する。

【0244】

図30(a)～図32(b)は第7の実施形態に係る第3の製造方法の工程順の断面構成を示している。

【0245】

まず、図30(a)に示すように、例えばシリコン(Si)からなる半導体基板11の主面上に、熱酸化法又はCVD法等により、半導体基板11の表面を保護する酸化シリコンからなる保護酸化膜21を形成する。その後、半導体基板11に、注入エネルギーが30keV程度でドーズ量が $5.0 \times 10^{12} \text{ cm}^{-2}$ ～ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のP型不純物であるホウ素(B)イオンをしきい値電圧制御用として注入する。

【0246】

次に、図30(b)に示すように、保護酸化膜21を除去した後、熱酸化法等により、半導体基板11の主面上に膜厚が13nm程度のゲート絶縁膜形成膜12Aを形成する。その後、減圧CVD法等により、ゲート絶縁膜形成膜12A上に膜厚が0.2μm程度のポリシリコン膜を堆積し、フォトリソグラフィ法及びエッチング法を用いて、堆積したポリシリコン膜をパターニングすることにより、第2ゲート電極である制御ゲート電極15を形成する。

【0247】

次に、図30(c)に示すように、CVD法により半導体基板11上に全面にわたって膜厚が0.1μm程度のBPSG膜を堆積し、堆積したBPSG膜に対

して異方性エッティングを行なって、制御ゲート電極15の側面上に段差部形成用のエッティングマスクとなるサイドウォール22を形成する。

【0248】

次に、図30(d)に示すように、半導体基板11上にドレイン形成領域及びサイドウォール22のうちのドレイン形成領域側を露出する開口部を持つレジストからなるマスクパターン35を形成する。続いて、形成したマスクパターン35及びサイドウォール22をマスクとして、ゲート絶縁膜形成膜12A及び半導体基板11に対してエッティングを行なうことにより、半導体基板11の上部に段差の寸法が50nm程度の段差部11bを形成する。

【0249】

次に、図31(a)に示すように、マスクパターン35及びサイドウォール22をマスクとして、半導体基板11に対して、注入エネルギーが10keV~30keV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ~ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のp型不純物であるホウ素(B)イオンを注入することにより、半導体基板11の浅い位置に埋込み部上部隣接領域18Aを形成する。さらに、埋込み部上部隣接領域18Aよりも高い注入エネルギー、すなわち、注入エネルギーが30keV~50keV程度で、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ ~ $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度のホウ素(B)イオンを注入することにより、その上端部が埋込みドレイン部の形成領域の下部又は下側に位置するよう埋込み部下部隣接領域18Bを形成する。

【0250】

続いて、マスクパターン35及びサイドウォール22をマスクとして、半導体基板11の段差部11bの下段に対して、注入エネルギーが20keV~50keV程度で、ドーズ量が $1.0 \times 10^{13} \text{ cm}^{-2}$ ~ $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度のn型不純物であるヒ素(As)イオンを注入することにより、埋込み部上部隣接領域18Aと埋込み部下部隣接領域18Bとの間に埋込みドレイン部17aを形成する。

【0251】

次に、図31(b)に示すように、マスクパターン35及びサイドウォール2

2を除去した後、ゲート絶縁膜形成膜12Aを制御ゲート電極15をマスクとして除去することにより、制御ゲート電極15の下側にゲート絶縁膜12を形成する。

【0252】

次に、図31(c)に示すように、熱酸化法等により、半導体基板11上に制御ゲート電極15の表面及び段差部11bを含む全面にわたって膜厚が11nm程度の容量絶縁膜形成膜14Aを形成する。

【0253】

次に、図31(d)に示すように、減圧CVD法等により、容量絶縁膜形成膜14A上に膜厚が0.2μm程度のポリシリコンからなる第1ゲート電極形成膜を堆積する。その後、堆積した第1ゲート電極形成膜に対して異方性エッチングを行なうことにより、第1ゲート電極形成膜から制御ゲート電極15の側面上に容量絶縁膜形成膜14Aを介した浮遊ゲート電極13を自己整合的に形成する。

【0254】

次に、図32(a)に示すように、容量絶縁膜形成膜14Aにおける半導体基板11上に露出する部分を除去することにより、容量絶縁膜形成膜14Aから、浮遊ゲート電極13と半導体基板11とが対向する部分でトンネル絶縁膜となる容量絶縁膜14を形成する。その後、浮遊ゲート電極13の露出部分に絶縁酸化膜23を形成する。

【0255】

次に、図32(b)に示すように、少なくとも制御ゲート電極15及び浮遊ゲート電極13をマスクとして、半導体基板11に注入エネルギーが50keV程度で、ドーズ量が $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度のヒ素(A s)イオンを注入することにより、半導体基板11のソース形成領域にソース領域16を形成すると共に、ドレイン形成領域に浮遊ゲート電極13の下側で埋込みドレイン部17aと接続されるようにドレイン領域17を形成する。

【0256】

このように、第7の実施形態に係る第3の製造方法によると、浮遊ゲート電極13が段差部11bを跨ぐ構成のスプリットゲート型電極を有する不揮発性半導

体記憶装置において、半導体基板11における浮遊ゲート電極13の下方であって、段差部11bの下段の領域に所望の不純物プロファイルを持ち且つドレイン領域17と接続された埋込みドレイン部17aを形成できる。さらに、埋込みドレイン部17aの上側には埋込み部上部隣接領域18Aを形成できると共に、埋込みドレイン部17aの下側には埋込み部下部隣接領域18Bを形成できる。

【0257】

なお、埋込み部上部隣接領域18A、埋込み部下部隣接領域18B及び埋込みドレイン部17aの各形成順序は問われない。

【0258】

また、埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bは必ずしも設ける必要はなく、また、いずれか一方のみを設けててもよい。

【0259】

また、埋込みドレイン部17aの導電型は、その不純物濃度が埋込み部上部隣接領域18A及び埋込み部下部隣接領域18Bよりも小さいp型としてもよい。

【0260】

なお、第7の実施形態においても、制御ゲート電極15をマスクの一部として自己整合的に埋込み部上部隣接領域18A、埋込み部下部隣接領域18B及び埋込みドレイン部17aのイオン注入を行なっているが、マスクパターンのみでマスクをしてイオン注入を行ない、その後、制御ゲート電極15と浮遊ゲート電極13を形成してもよい。但し、本実施形態のようにスプリットゲート型の場合は、埋込みドレイン部17aの上方に浮遊ゲート電極13を配置する必要から、制御ゲート電極15をマスクとする自己整合的なイオン注入を行なうことが好ましい。

【0261】

【発明の効果】

本発明に係る不揮発性半導体記憶装置及びその製造方法によると、ドレイン領域に浮遊ゲート電極の下方に延びる埋込みドレイン部を設けているため、浮遊ゲート電極に注入されるキャリアが半導体領域から浮遊ゲート電極に向かう方向の外力を受けるように電界が生成される。このため、ゲート電極及びドレイン領域

に対して比較的低い電圧を印加しても、浮遊ゲート電極の下側付近に発生するホットキャリアが浮遊ゲート電極に引かれるので、ホットキャリアの注入効率が向上する。

【図面の簡単な説明】

【図1】

(a) 及び (b) は本発明の第1の実施形態に係る不揮発性半導体記憶装置を示し、(a) は構成断面図であり、(b) はチャネル領域付近において電子が電界から受ける力の方向を示す模式図である。

【図2】

本発明の第1の実施形態に係る不揮発性半導体記憶装置のチャネル領域付近における電位分布のシミュレーション結果を示す図である。

【図3】

(a) ~ (c) は本発明の第1の実施形態に係る不揮発性半導体記憶装置のチャネル領域における電位及び電界強度のシミュレーション結果を示し、(a) は (d) の C-D 線方向（基板の深さ方向）の電位を示すグラフであり、(b) は (d) の A-B 線方向（基板面に平行な方向）の電位を示すグラフであり、(c) は (d) の A-B 線方向の電界強度を示すグラフである。

(d) はチャネル領域付近の拡大断面図である。

【図4】

本発明の第1の実施形態に係る不揮発性半導体記憶装置のチャネル領域における基板面方向の電界強度の浮遊ゲート電位依存性のシミュレーション結果を示すグラフである。

【図5】

(a) ~ (d) は本発明の第1の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図6】

本発明の第2の実施形態に係る不揮発性半導体記憶装置を示す構成断面図である。

【図7】

(a)～(d)は本発明の第2の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図8】

本発明の第3の実施形態に係る不揮発性半導体記憶装置を示す構成断面図である。

【図9】

本発明の第3の実施形態に係る不揮発性半導体記憶装置の書き込み動作時のチャネル領域に生じる電界のうち基板面に平行な方向の電界強度の計算機によるシミュレーション結果を示すグラフである。

【図10】

(a)～(d)は本発明の第3の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図11】

(a)及び(b)は本発明の第4の実施形態に係る不揮発性半導体記憶装置を示し、(a)は構成断面図であり、(b)はチャネル領域付近において電子が電界から受ける力の方向を示す模式図である。

【図12】

(a)は本発明の第4の実施形態の第1変形例に係る不揮発性半導体記憶装置を示す構成断面図である。

(b)は本発明の第4の実施形態の第2変形例に係る不揮発性半導体記憶装置を示す構成断面図である。

【図13】

本発明の第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の書き込み動作時のチャネル領域に生じる電界のうち基板面に平行な方向の電界強度の計算機によるシミュレーション結果を示すグラフである。

【図14】

(a)～(d)は本発明の第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の第1の製造方法を示す工程順の構成断面図である。

【図15】

(a)～(c)は本発明の第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の第1の製造方法を示す工程順の構成断面図である。

【図16】

(a)～(d)は本発明の第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の第2の製造方法を示す工程順の構成断面図である。

【図17】

(a)～(d)は本発明の第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の第2の製造方法を示す工程順の構成断面図である。

【図18】

(a)～(d)は本発明の第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の第3の製造方法を示す工程順の構成断面図である。

【図19】

(a)～(c)は本発明の第4の実施形態の第2変形例に係る不揮発性半導体記憶装置の第3の製造方法を示す工程順の構成断面図である。

【図20】

(a)及び(b)は本発明の第5の実施形態に係る不揮発性半導体記憶装置を示し、(a)は構成断面図であり、(b)はチャネル領域付近における電位分布のシミュレーション結果を示す図である。

【図21】

本発明の第6の実施形態に係る不揮発性半導体記憶装置を示す構成断面図である。

【図22】

(a)～(d)は本発明の第6の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図23】

本発明の第7の実施形態に係る不揮発性半導体記憶装置を示す構成断面図である。

【図24】

(a)～(d)は本発明の第7の実施形態に係る不揮発性半導体記憶装置の第

1の製造方法を示す工程順の構成断面図である。

【図25】

(a)～(d)は本発明の第7の実施形態に係る不揮発性半導体記憶装置の第1の製造方法を示す工程順の構成断面図である。

【図26】

(a)及び(b)は本発明の第7の実施形態に係る不揮発性半導体記憶装置の第1の製造方法を示す工程順の構成断面図である。

【図27】

(a)～(d)は本発明の第7の実施形態に係る不揮発性半導体記憶装置の第2の製造方法を示す工程順の構成断面図である。

【図28】

(a)～(d)は本発明の第7の実施形態に係る不揮発性半導体記憶装置の第2の製造方法を示す工程順の構成断面図である。

【図29】

(a)及び(b)は本発明の第7の実施形態に係る不揮発性半導体記憶装置の第2の製造方法を示す工程順の構成断面図である。

【図30】

(a)～(d)は本発明の第7の実施形態に係る不揮発性半導体記憶装置の第3の製造方法を示す工程順の構成断面図である。

【図31】

(a)～(d)は本発明の第7の実施形態に係る不揮発性半導体記憶装置の第3の製造方法を示す工程順の構成断面図である。

【図32】

(a)及び(b)は本発明の第7の実施形態に係る不揮発性半導体記憶装置の第3の製造方法を示す工程順の構成断面図である。

【図33】

従来の不揮発性半導体記憶装置を示す構成断面図である。

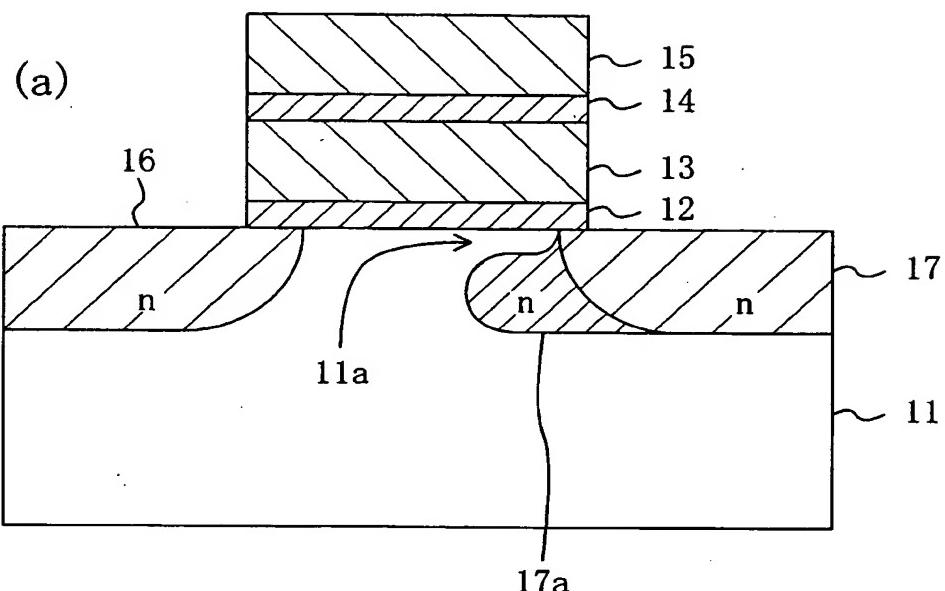
【符号の説明】

1 1 半導体基板

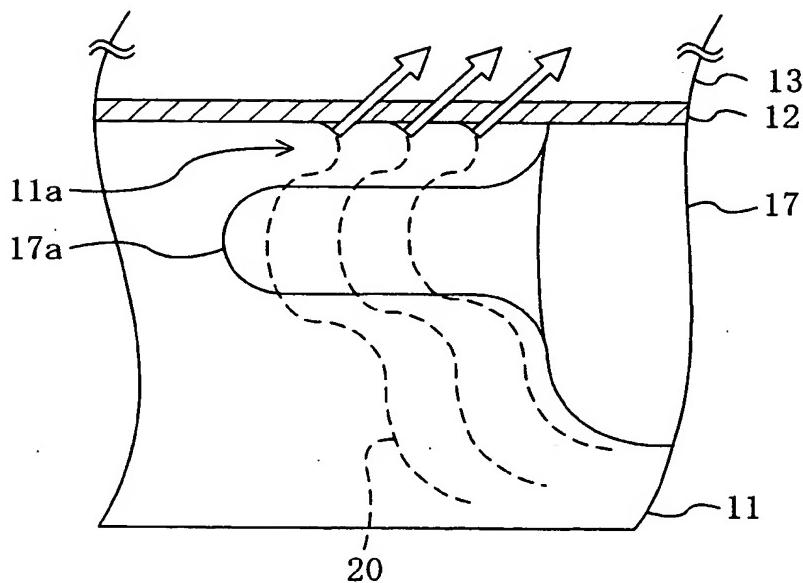
- 1 1 a チャネル領域
- 1 1 b 段差部
- 1 2 ゲート絶縁膜（第1絶縁膜）
- 1 2 A ゲート絶縁膜形成膜
- 1 3 浮遊ゲート電極
- 1 3 A 第1ゲート電極形成膜
- 1 4 容量絶縁膜（第2絶縁膜）
- 1 4 A 容量絶縁膜形成膜
- 1 5 制御ゲート電極
- 1 5 A 第2ゲート電極形成膜
- 1 6 ソース領域
- 1 7 ドレイン領域
- 1 7 a 埋込みドレイン部
- 1 7 b p型埋込みドレイン部
- 1 8 A 埋込み部上部隣接領域
- 1 8 B 埋込み部下部隣接領域
- 2 0 等電位線
- 2 1 保護酸化膜
- 2 2 サイドウォール
- 2 3 絶縁酸化膜
- 3 1 マスクパターン
- 3 2 マスクパターン
- 3 3 第1のマスクパターン
- 3 4 第2のマスクパターン
- 3 5 マスクパターン

【書類名】 図面

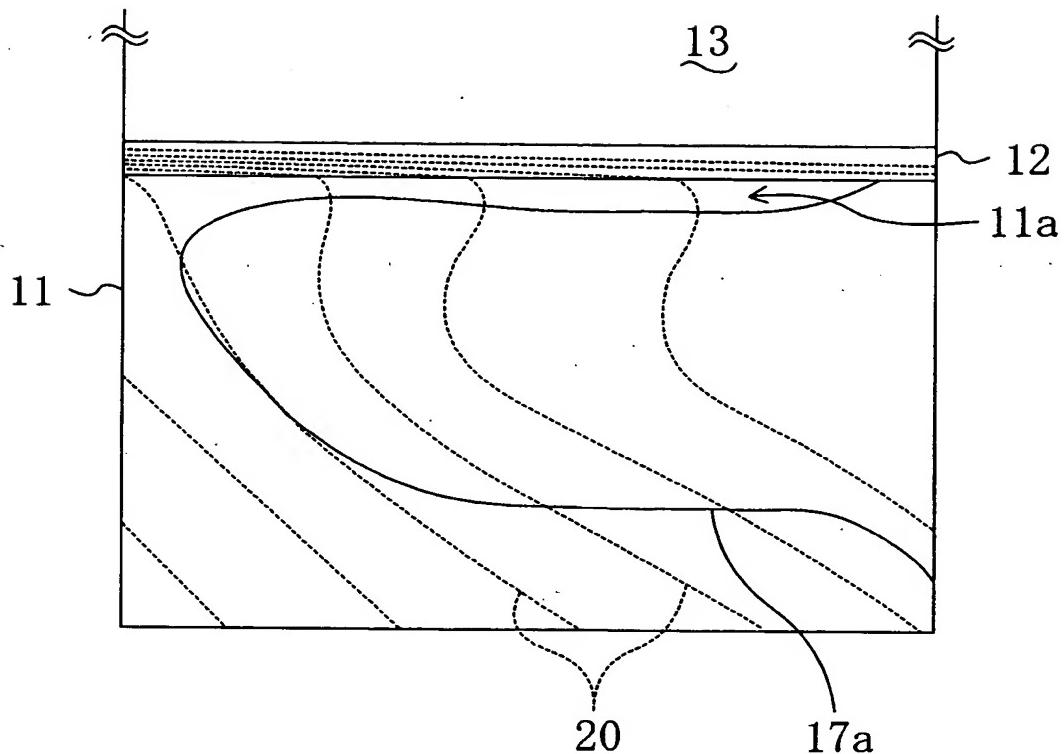
【図1】



(b)

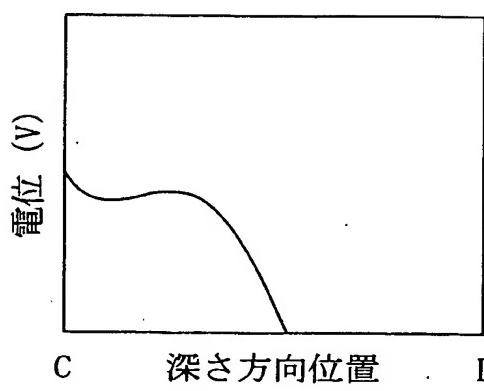


【図2】

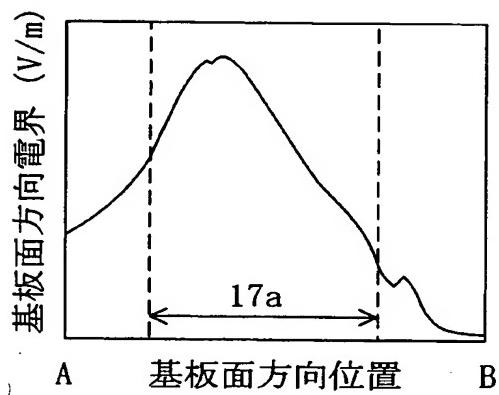


【図3】

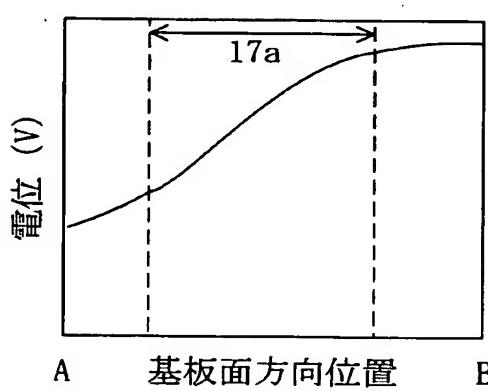
(a)



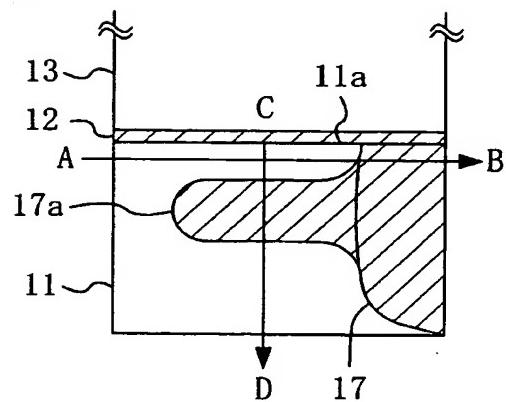
(c)



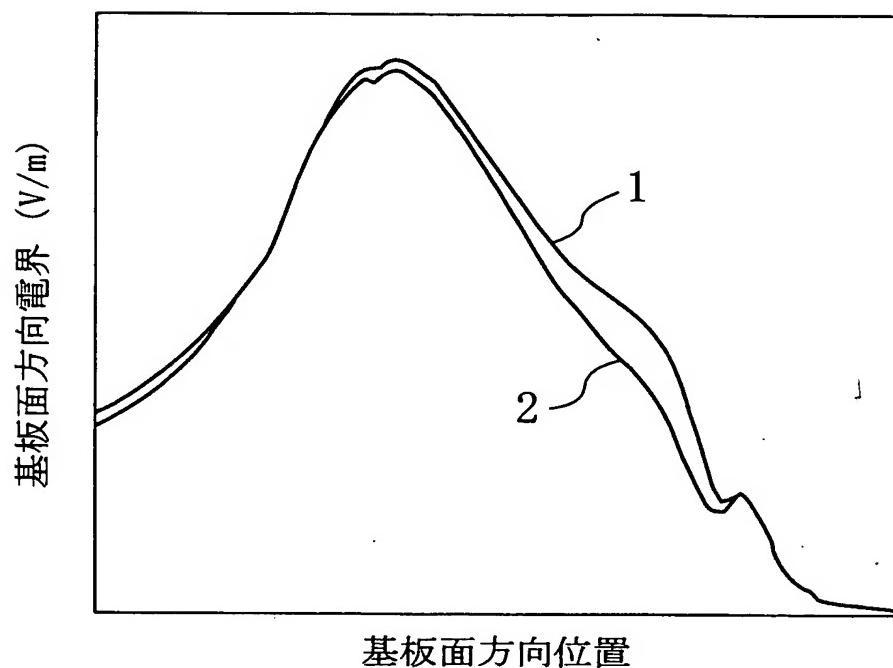
(b)



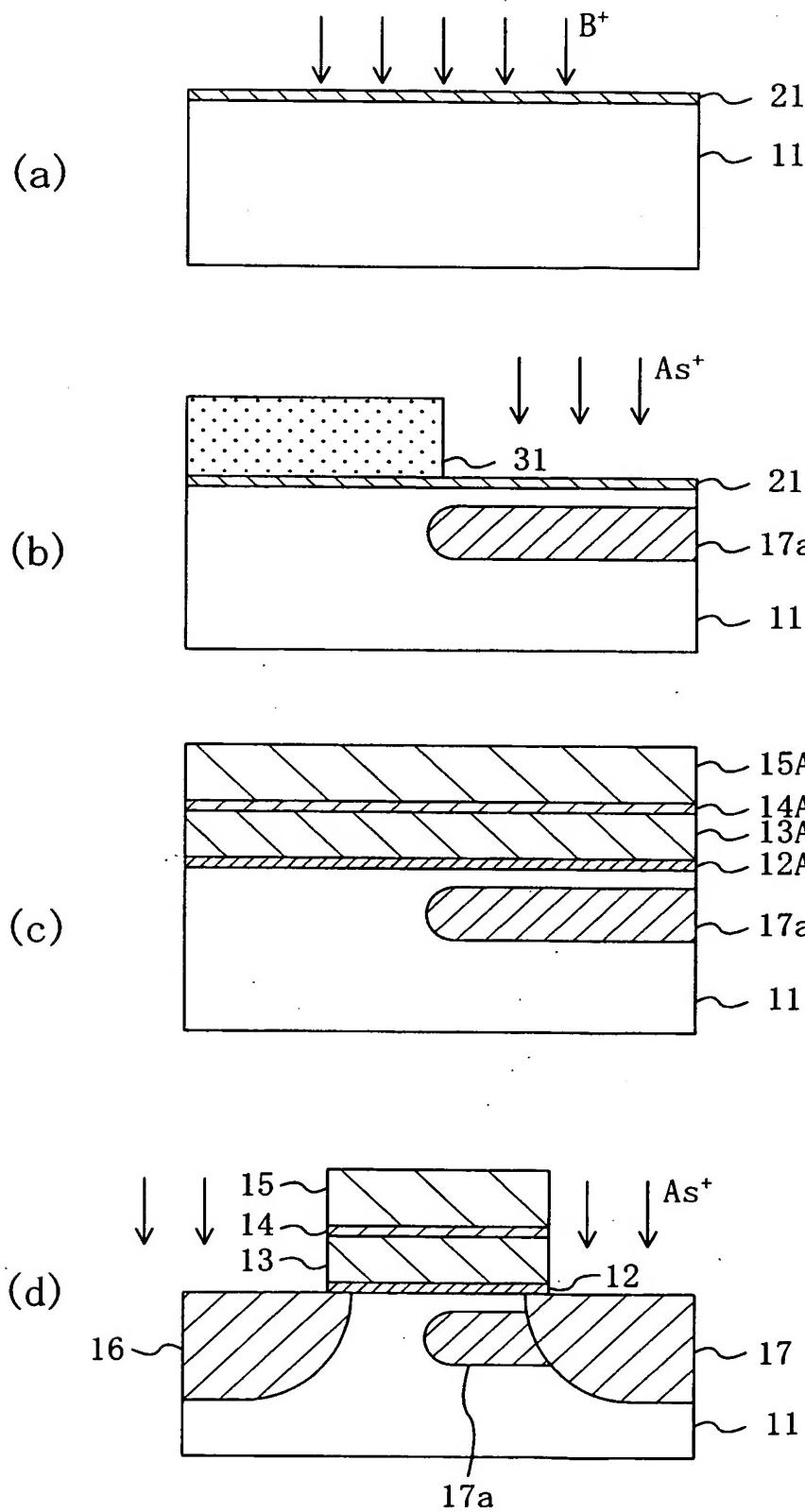
(d)



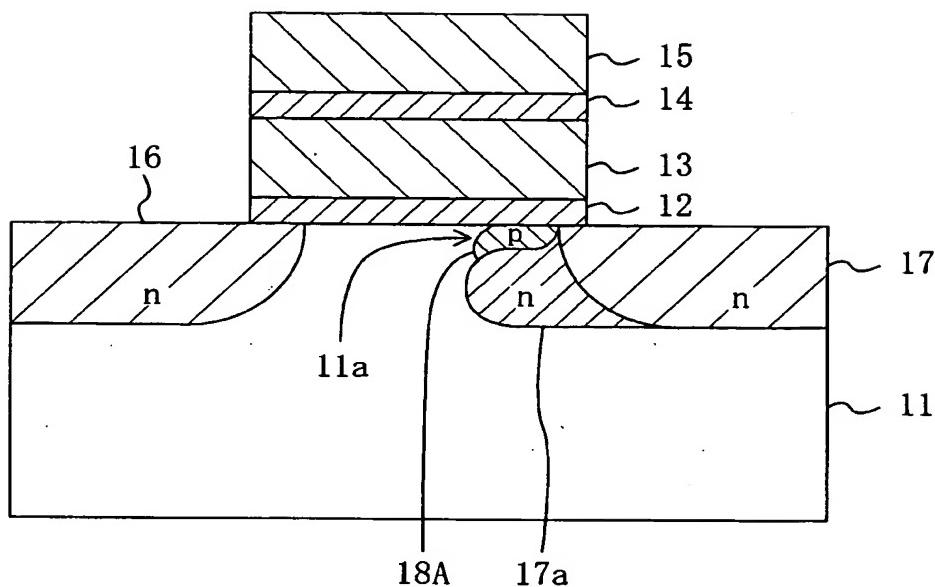
【図4】



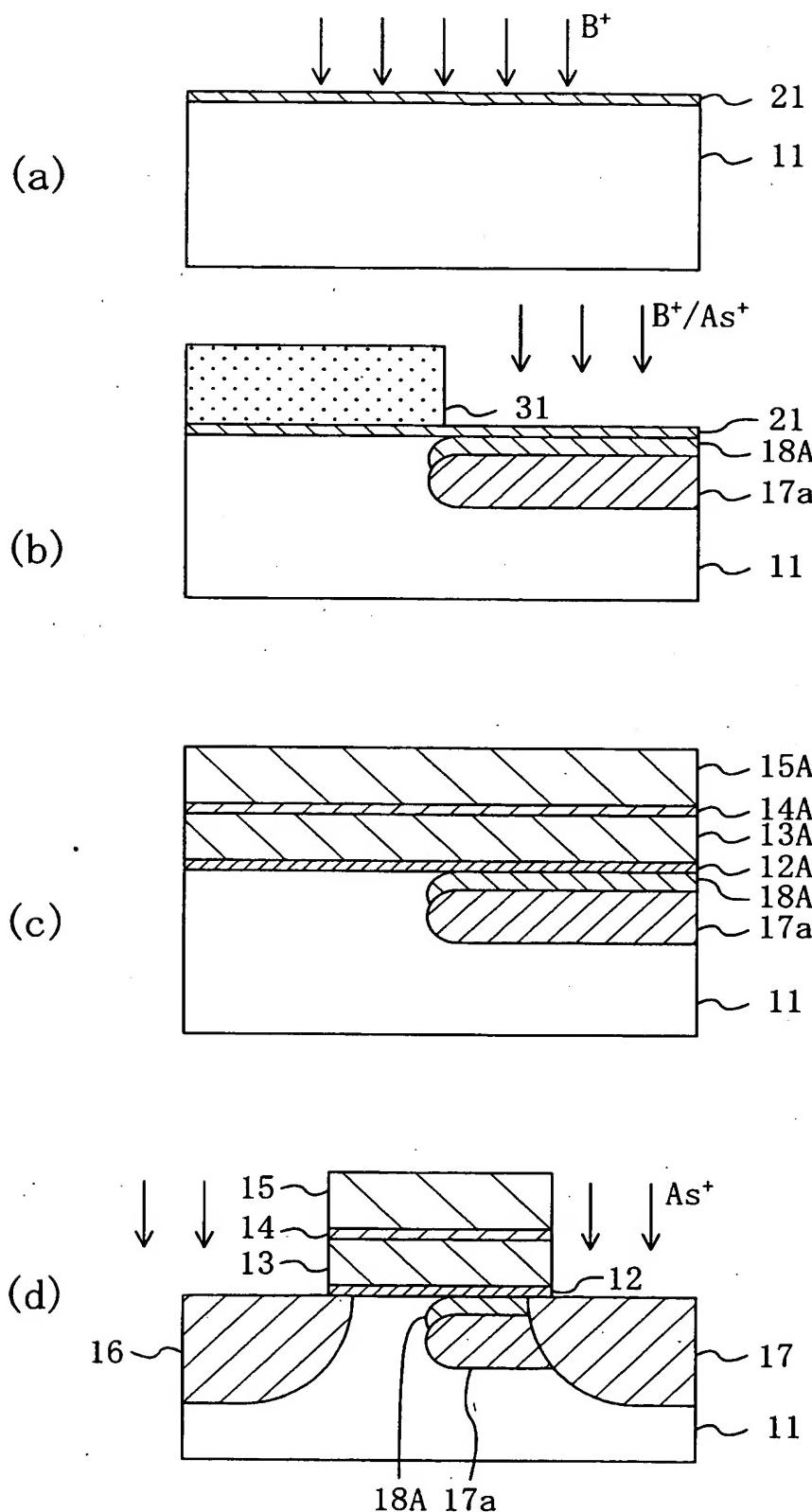
【図5】



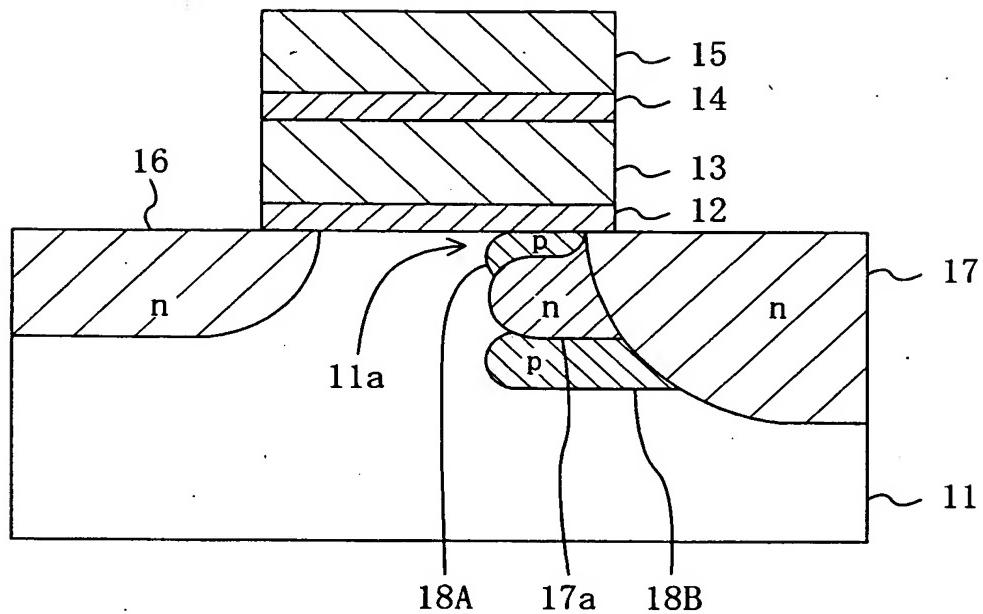
【図6】



【図7】

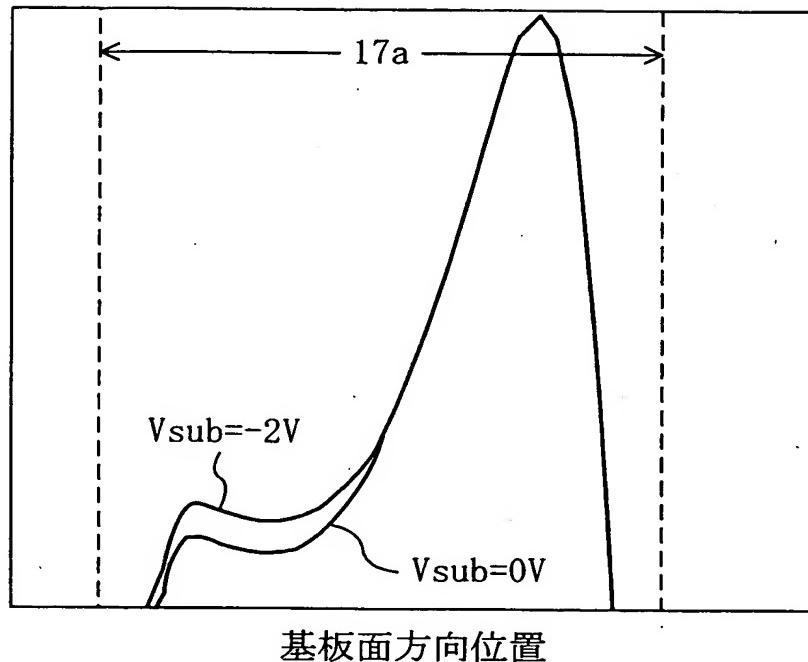


【図8】

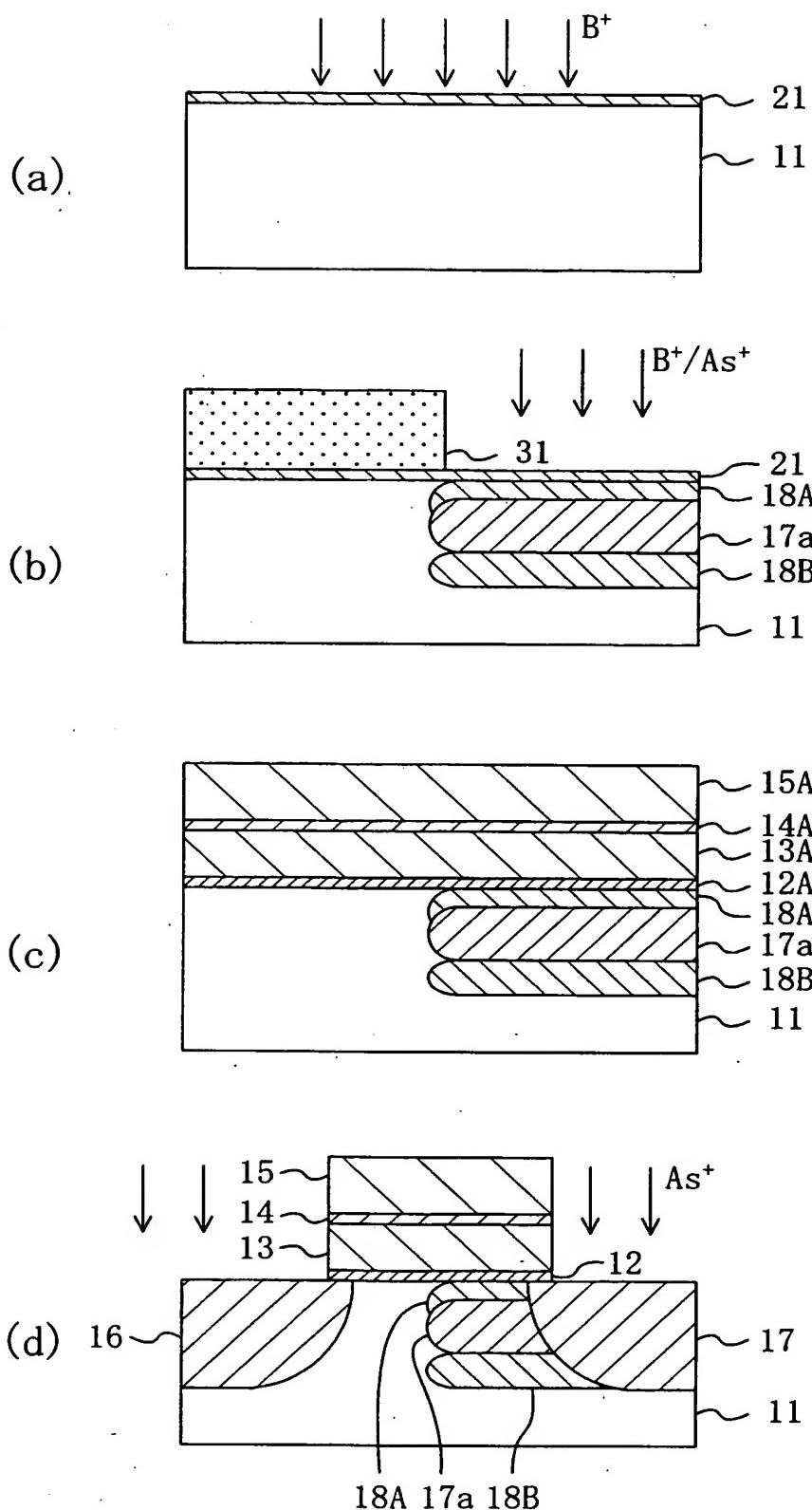


【図9】

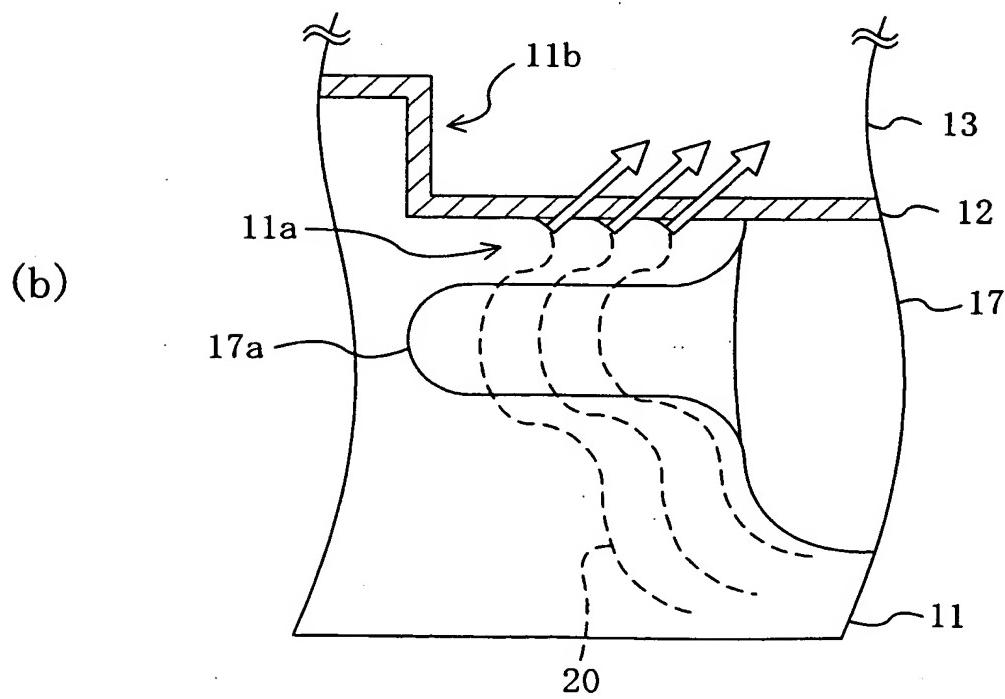
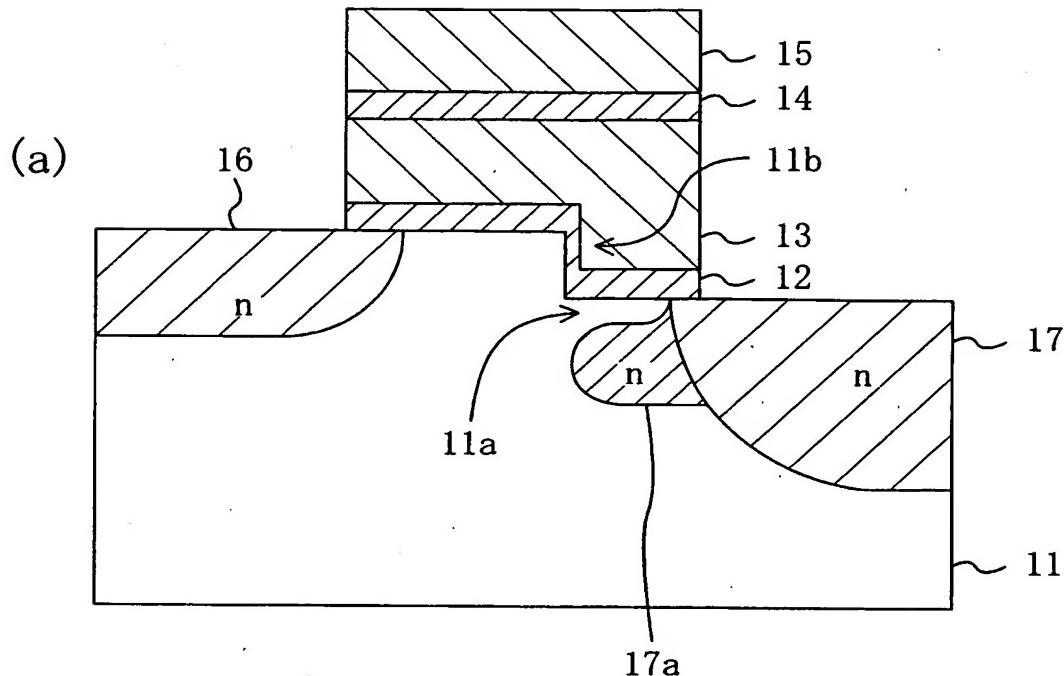
基板面方向電界 (V/m)



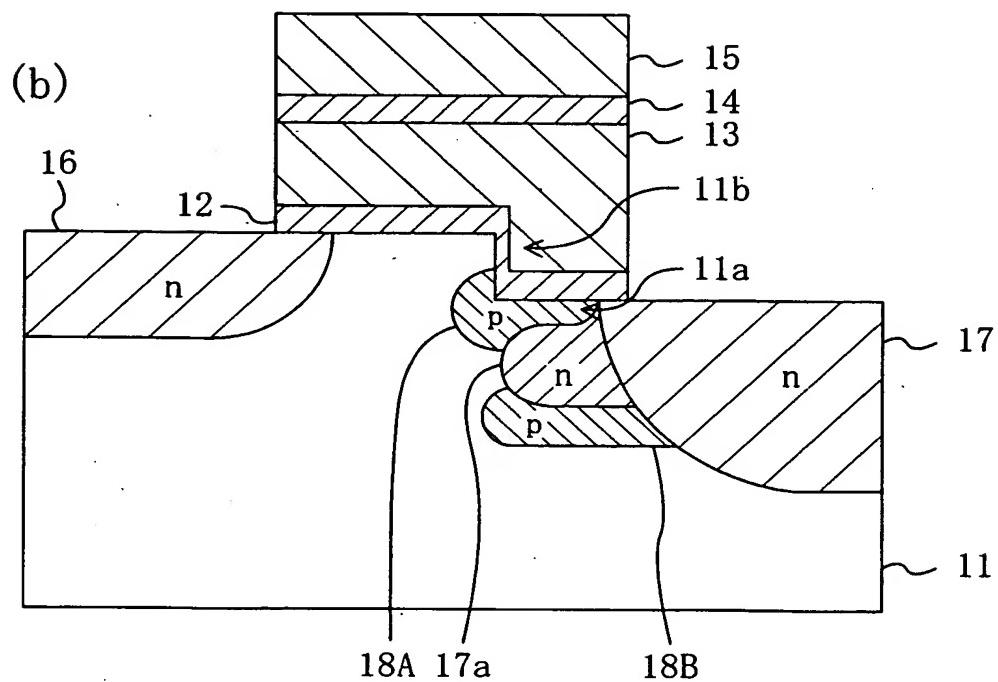
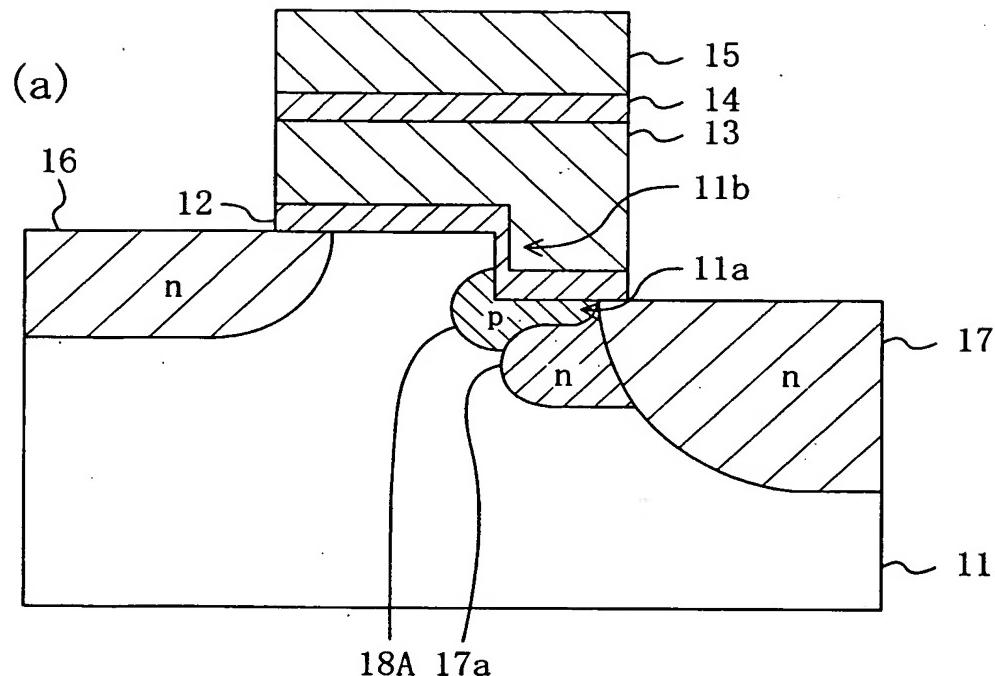
【図10】



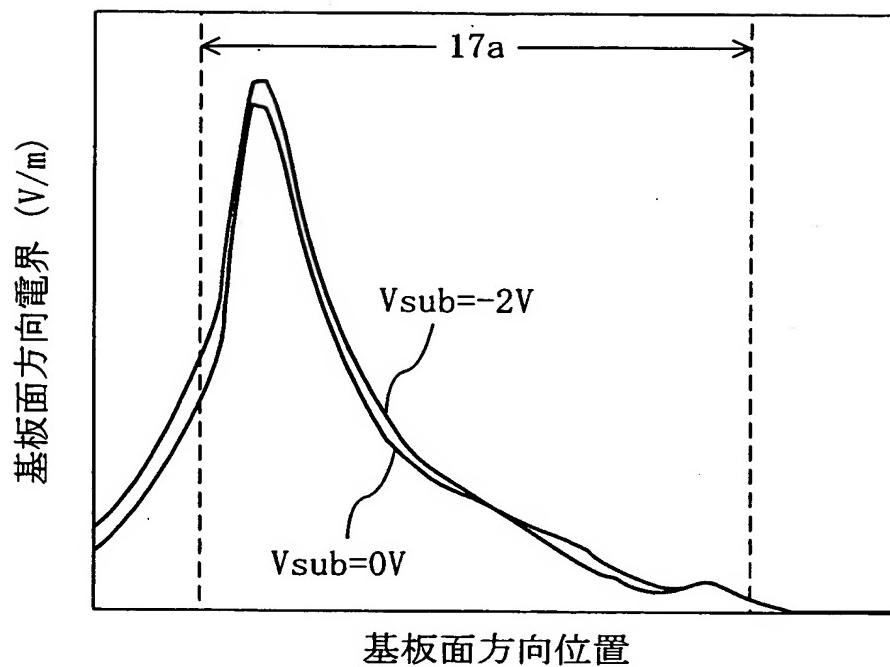
【図11】



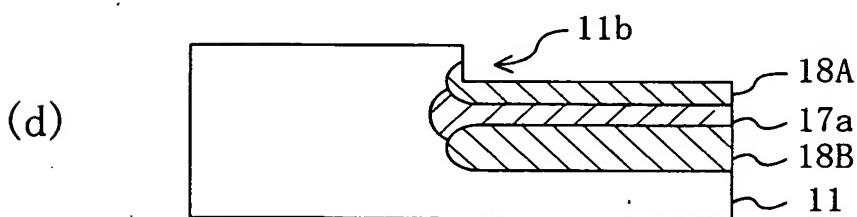
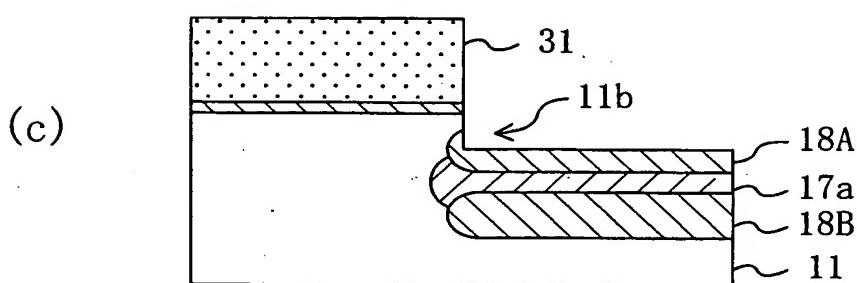
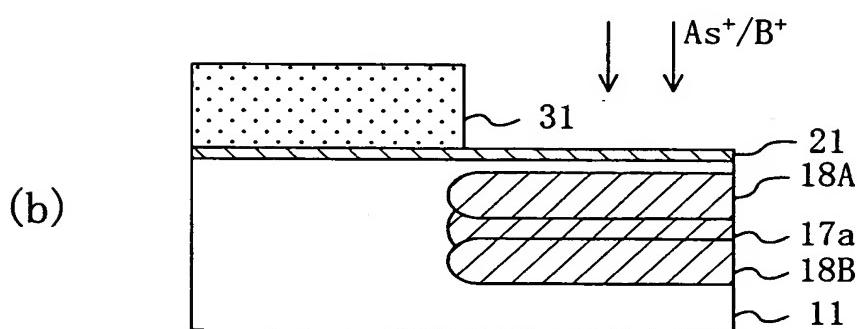
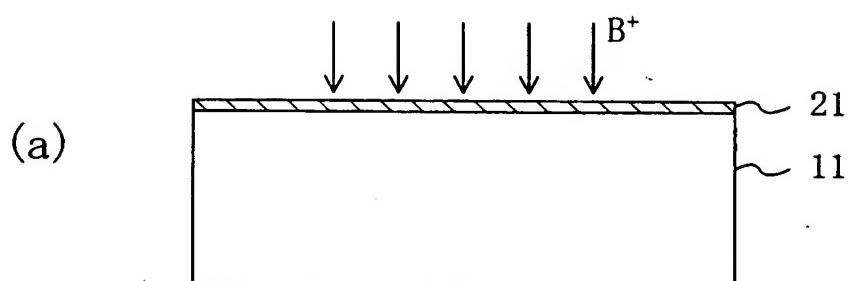
【図12】



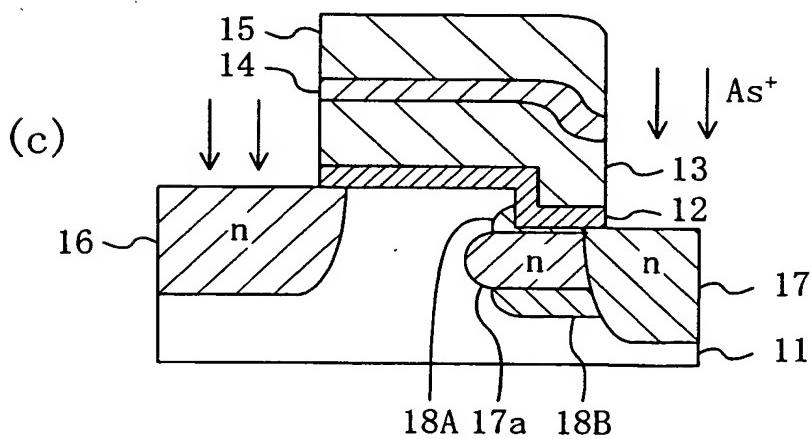
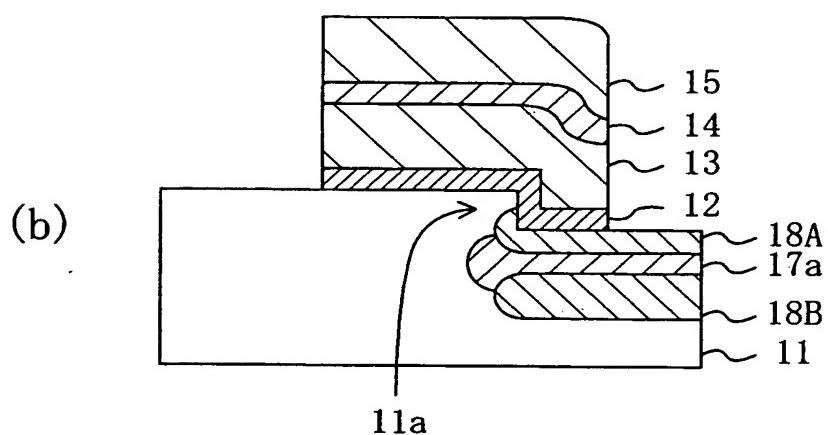
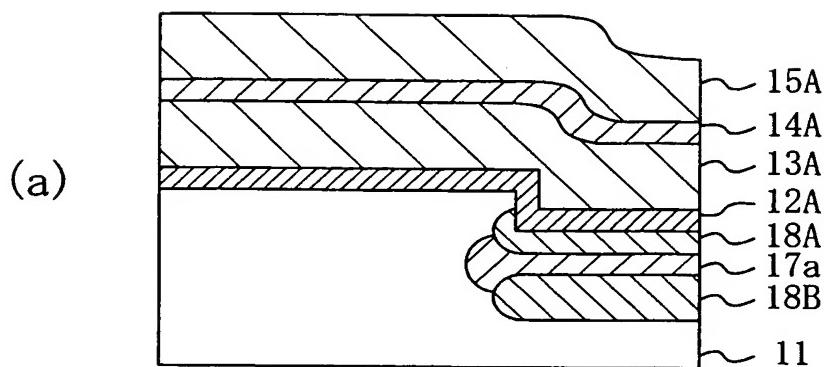
【図13】



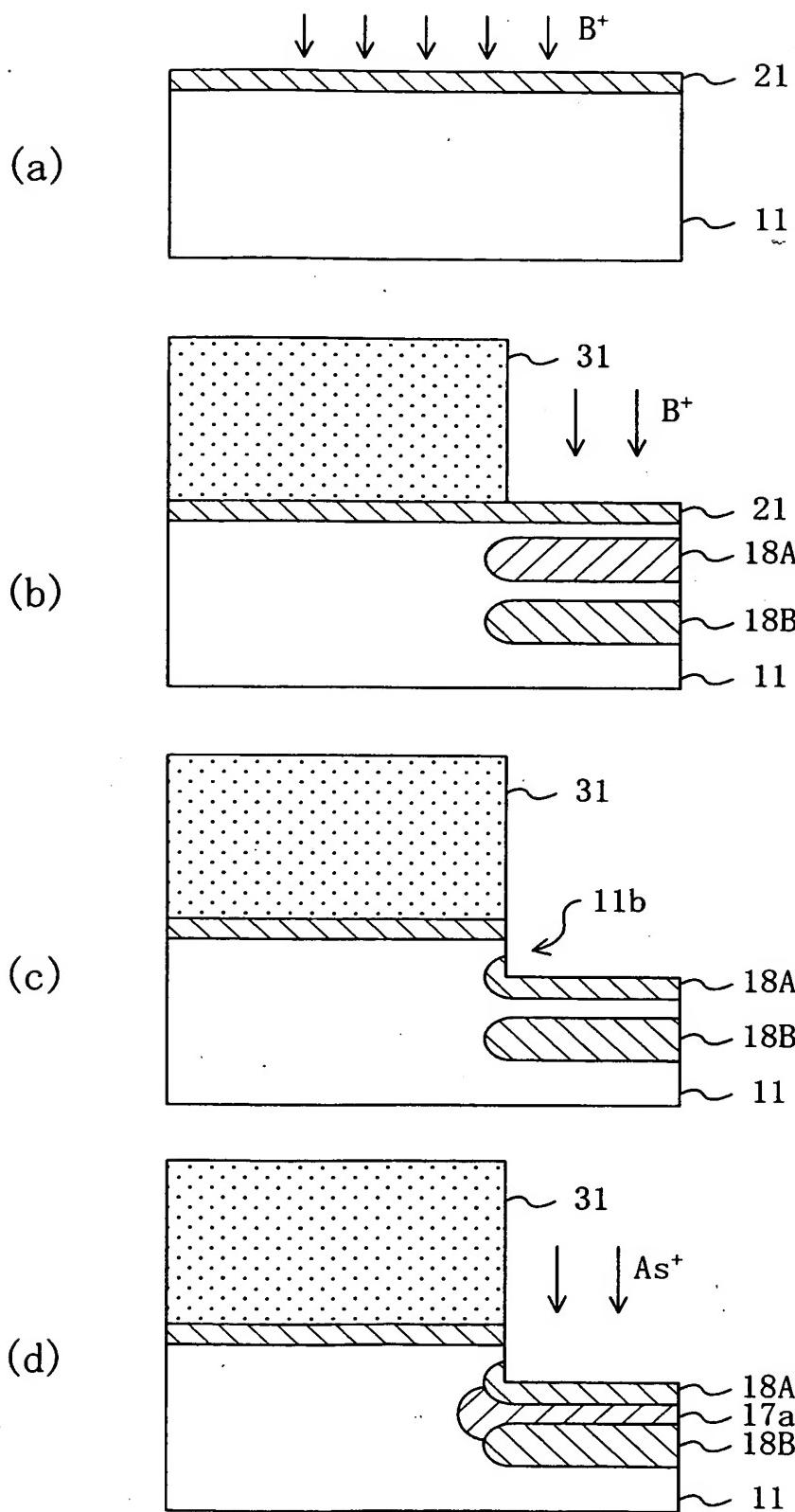
【図14】



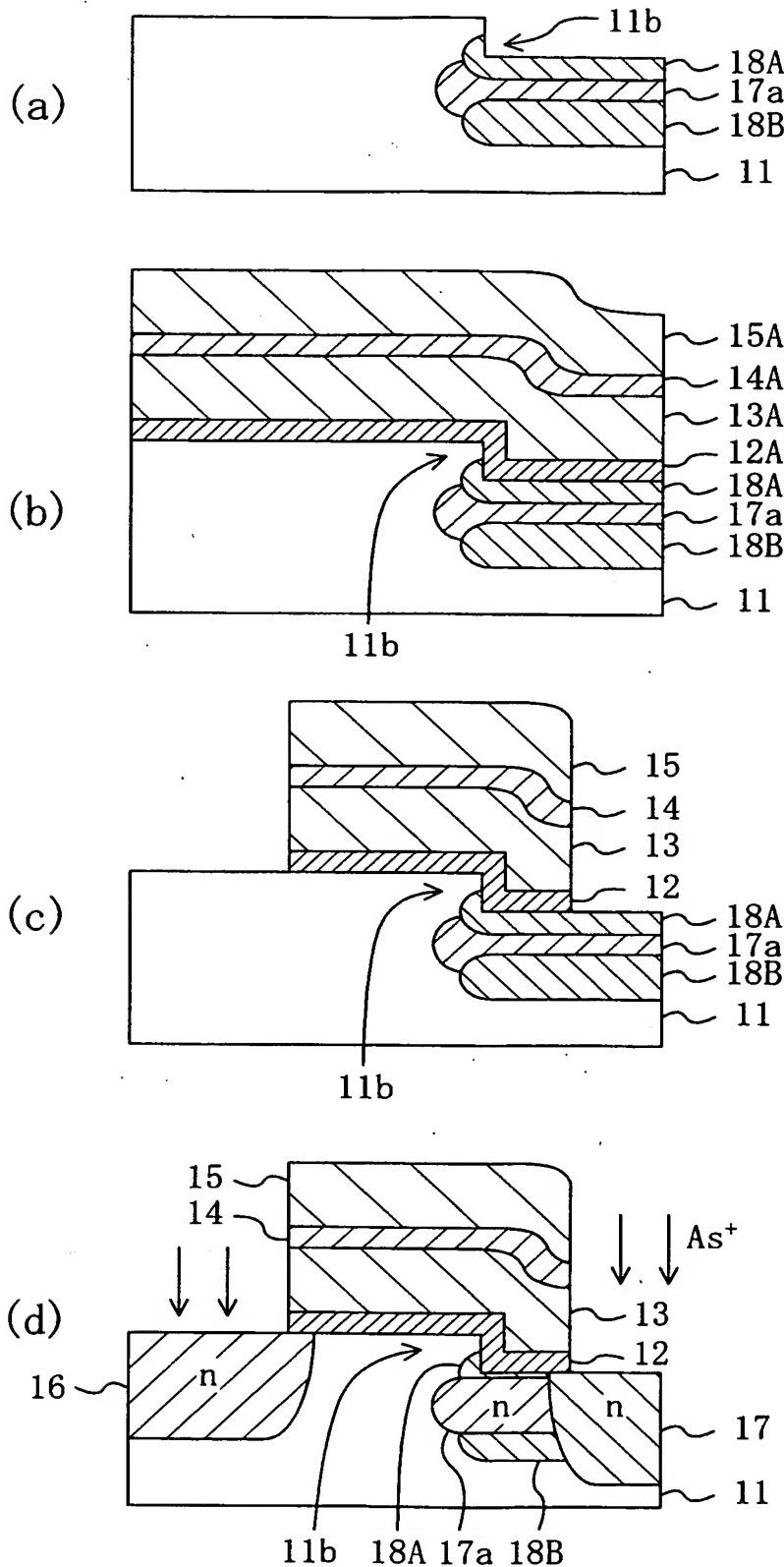
【図15】



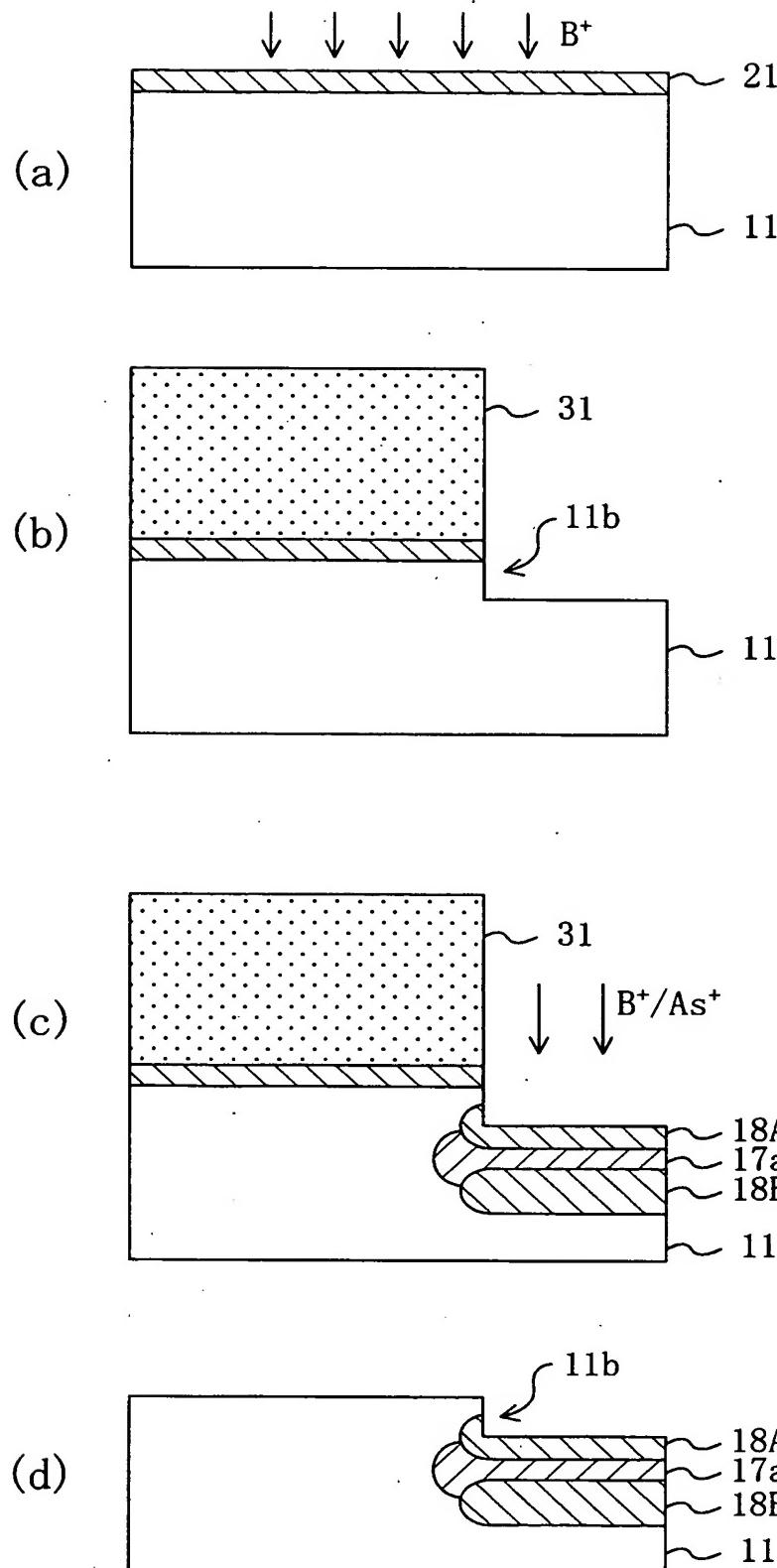
【図16】



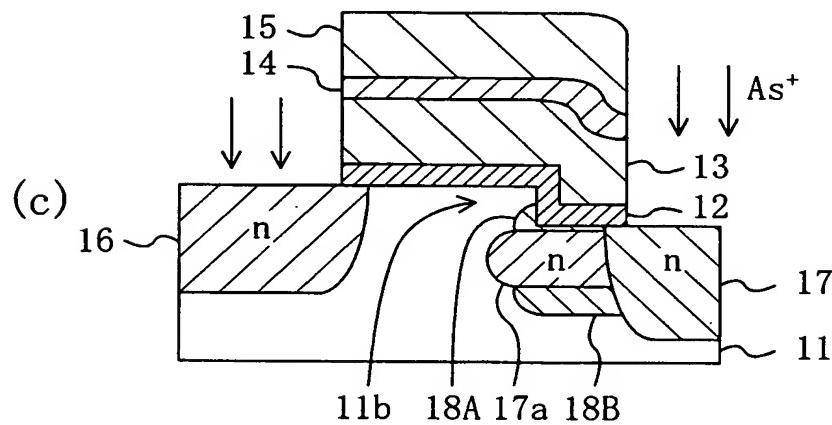
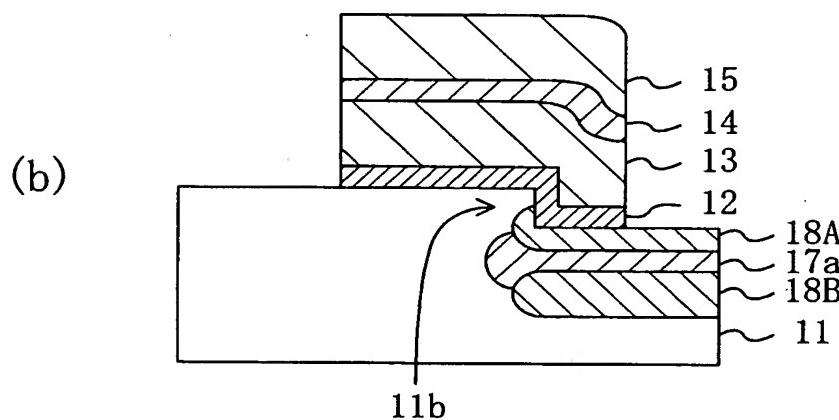
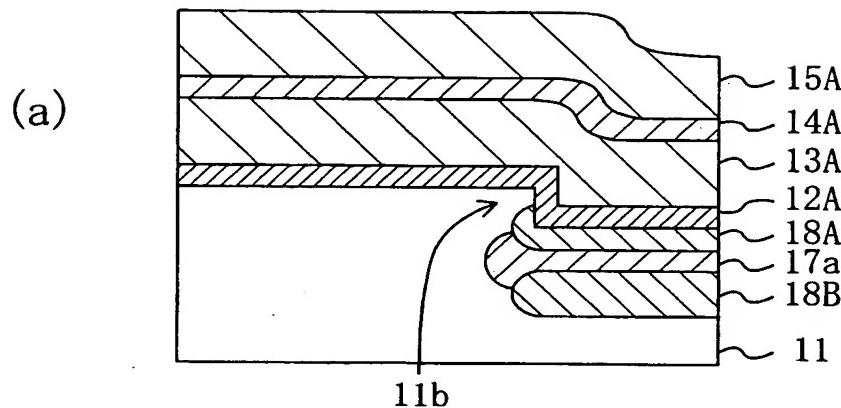
【図17】



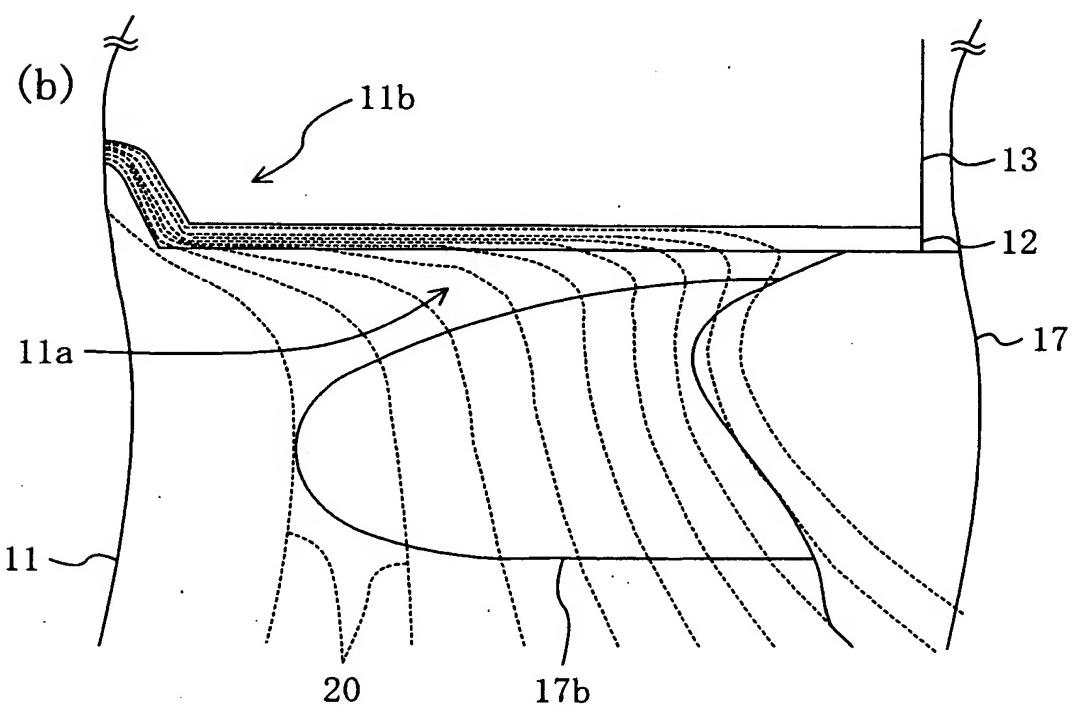
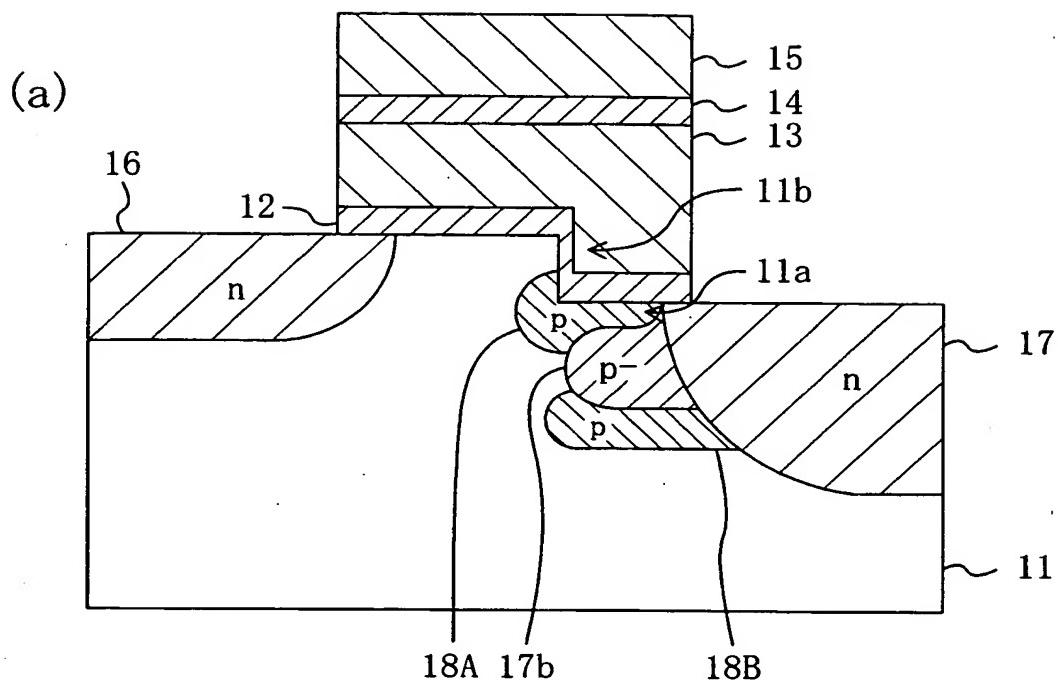
【図18】



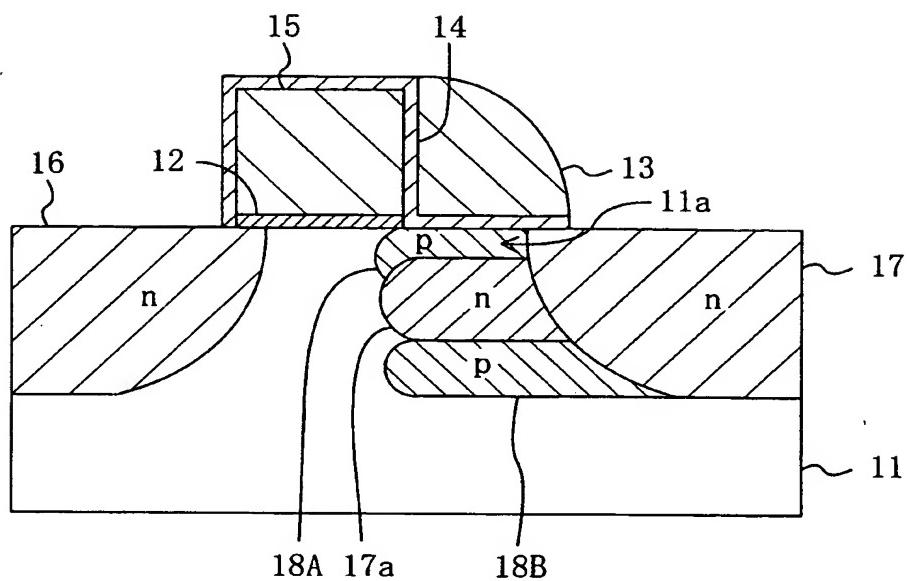
【図19】



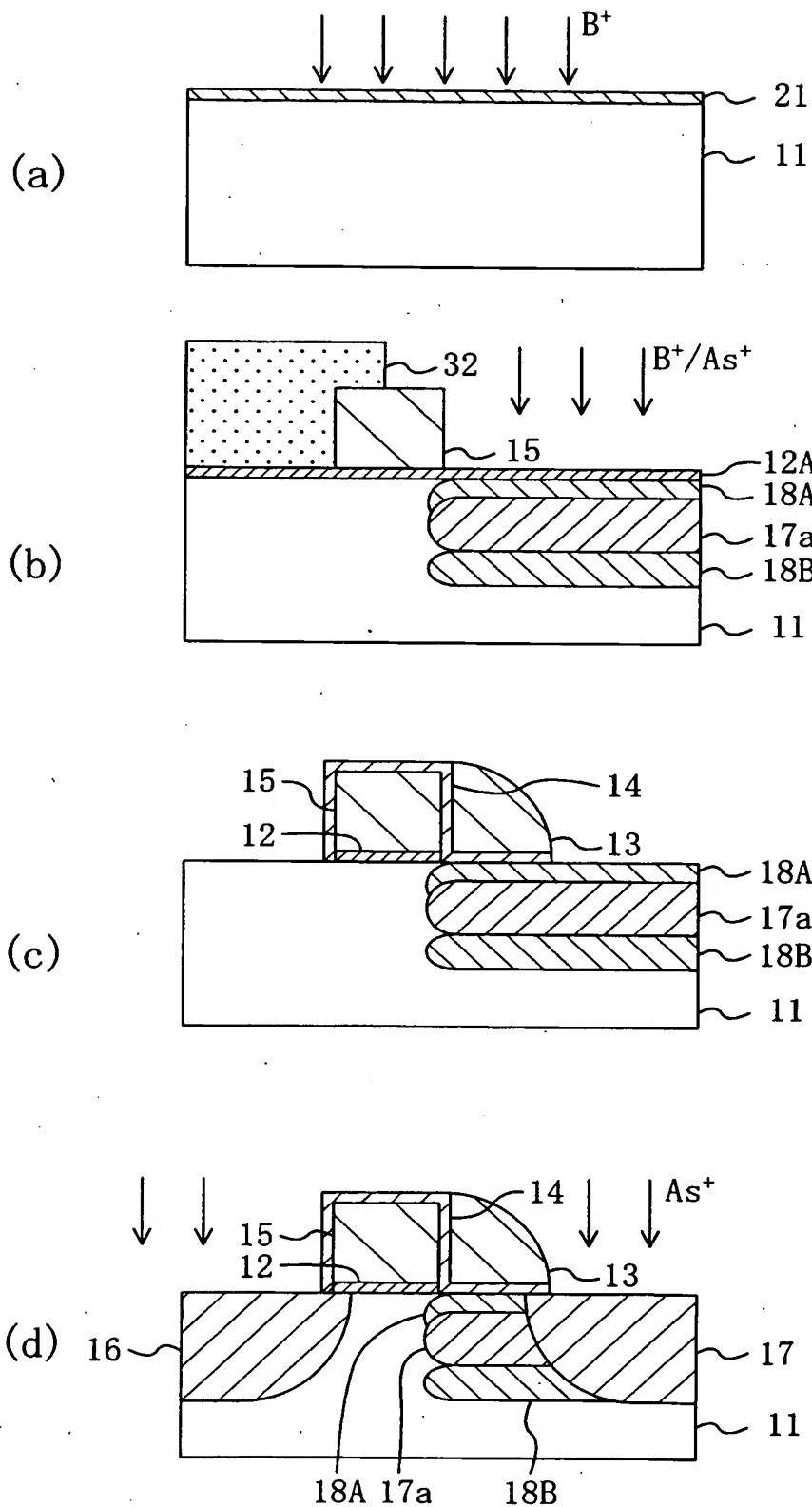
【図20】



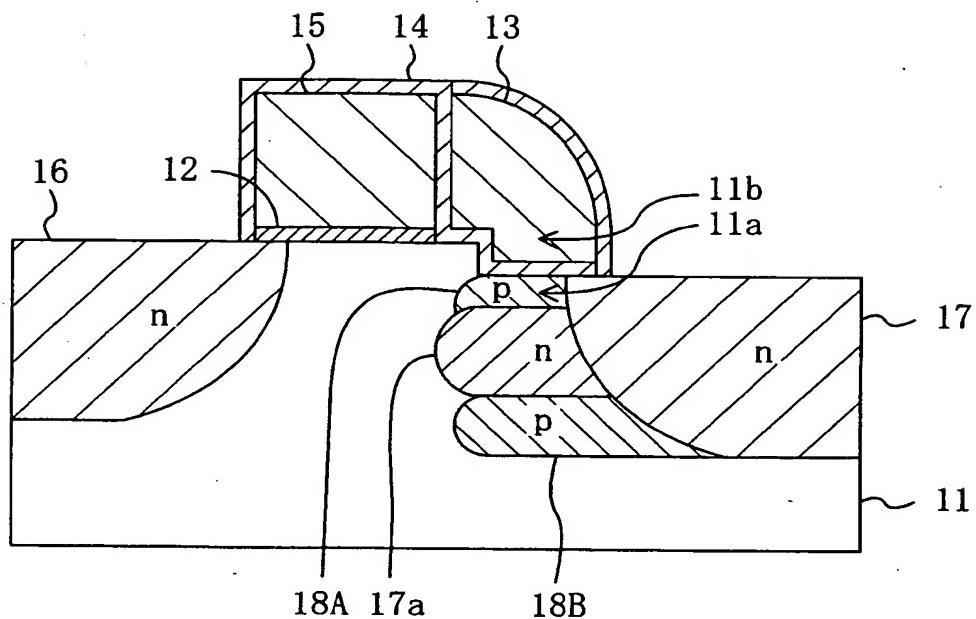
【図21】



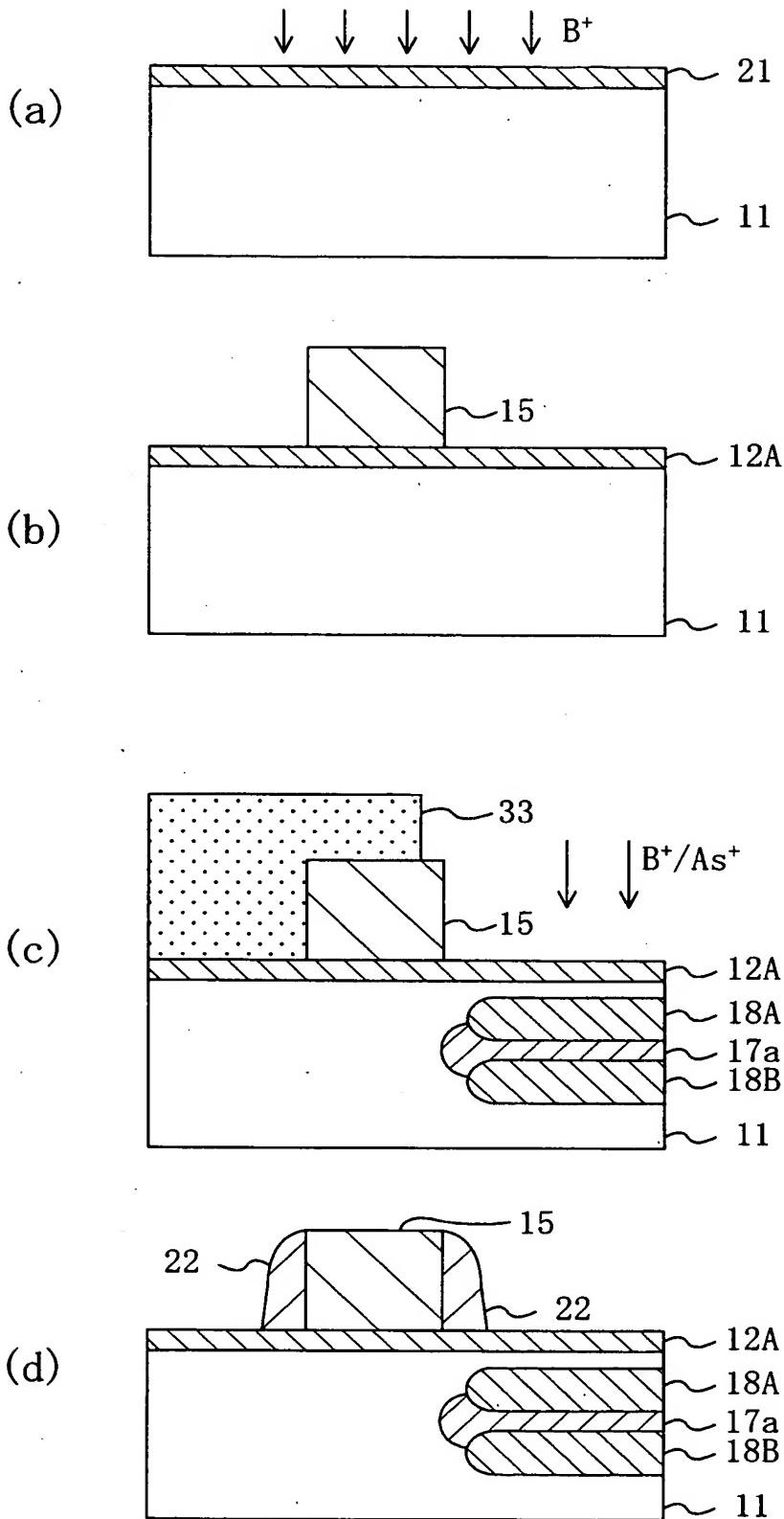
【図22】



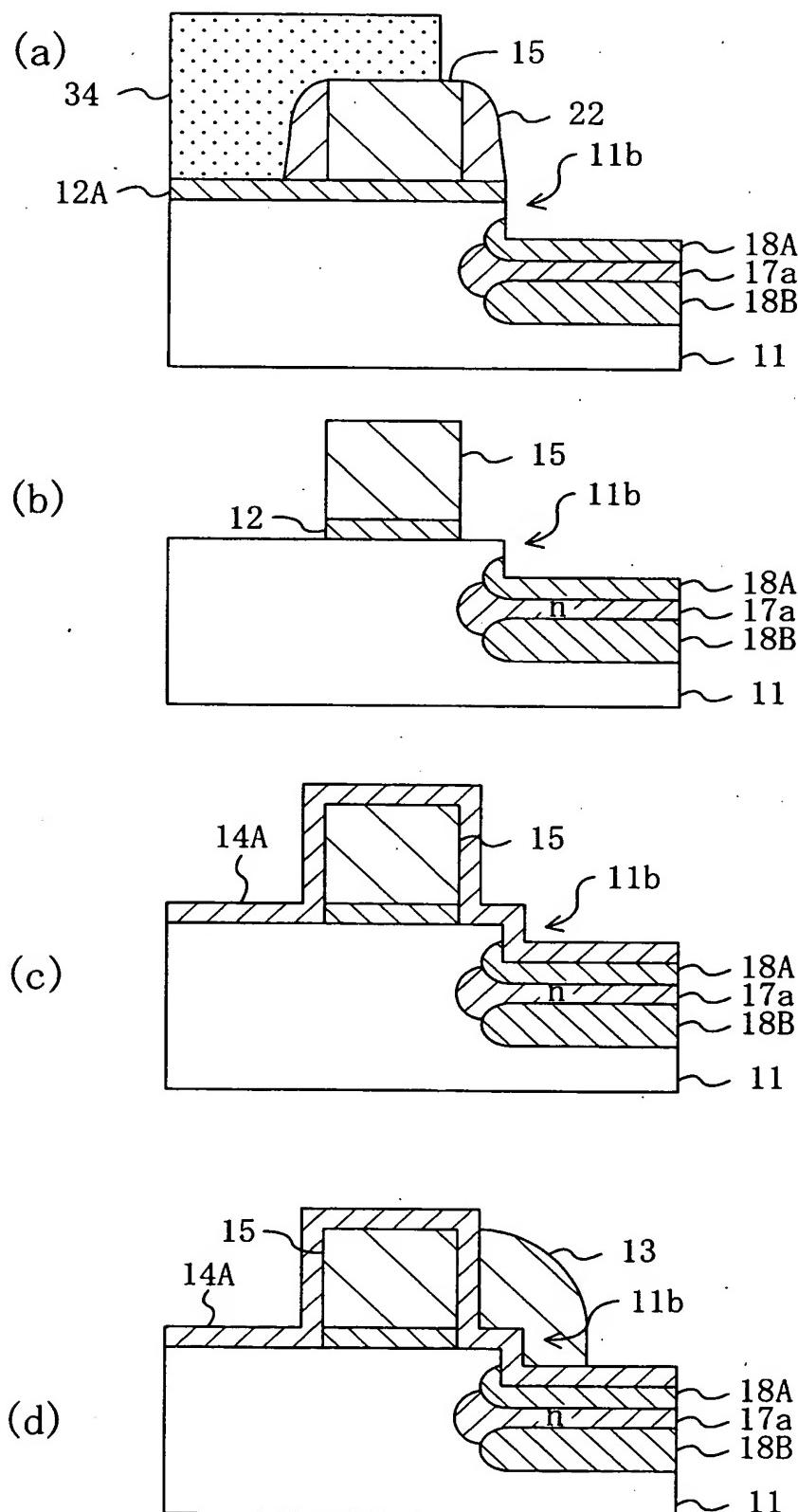
【図23】



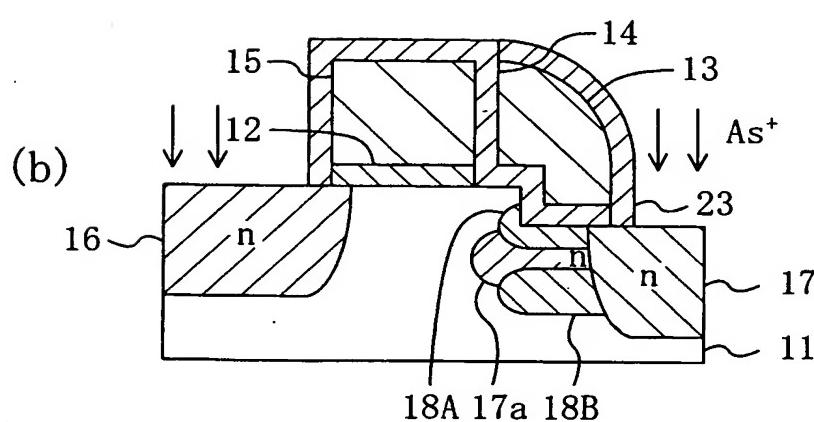
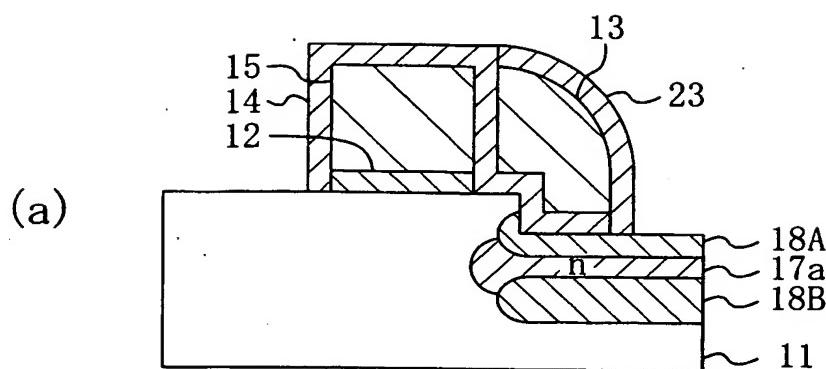
【図24】



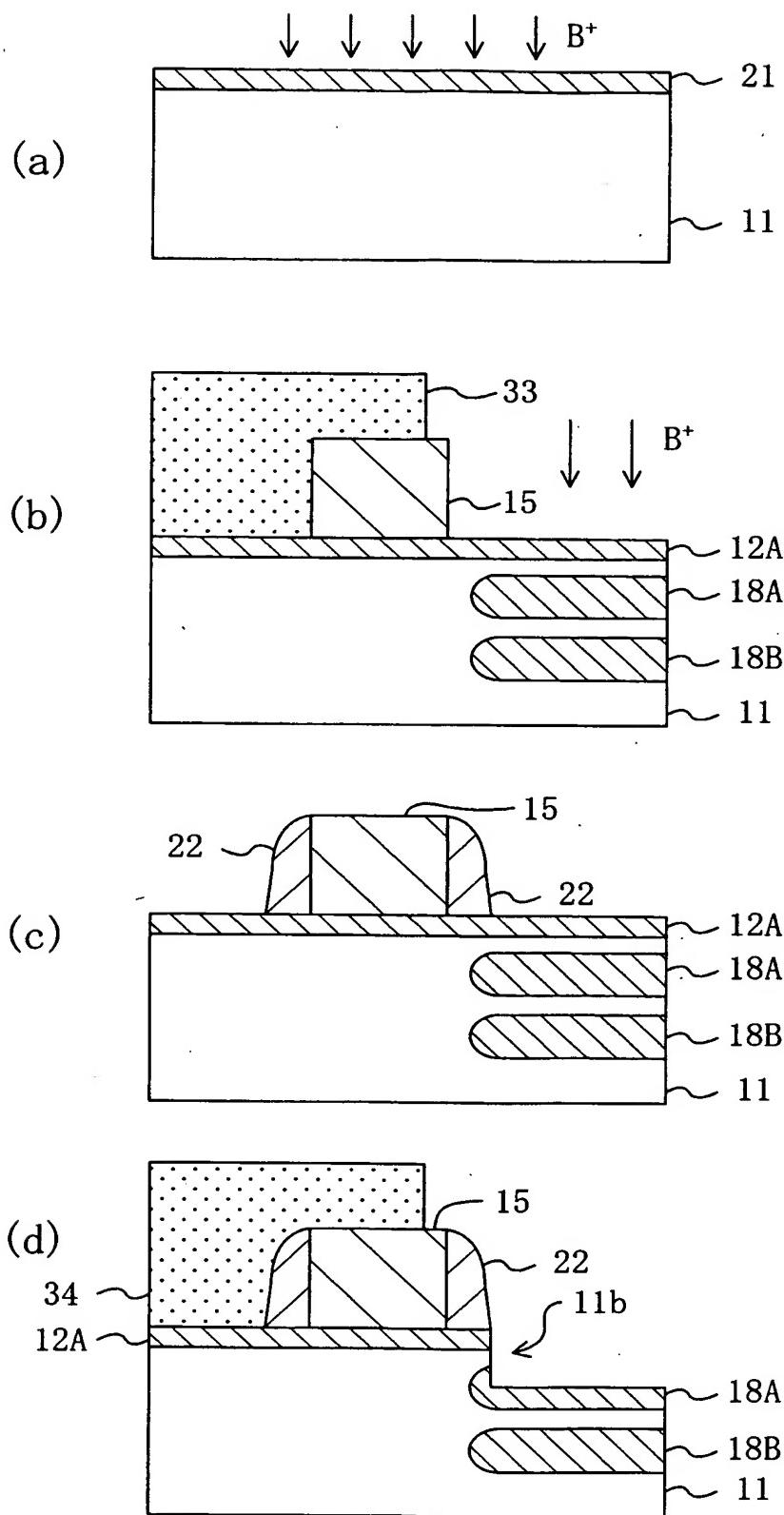
【図25】



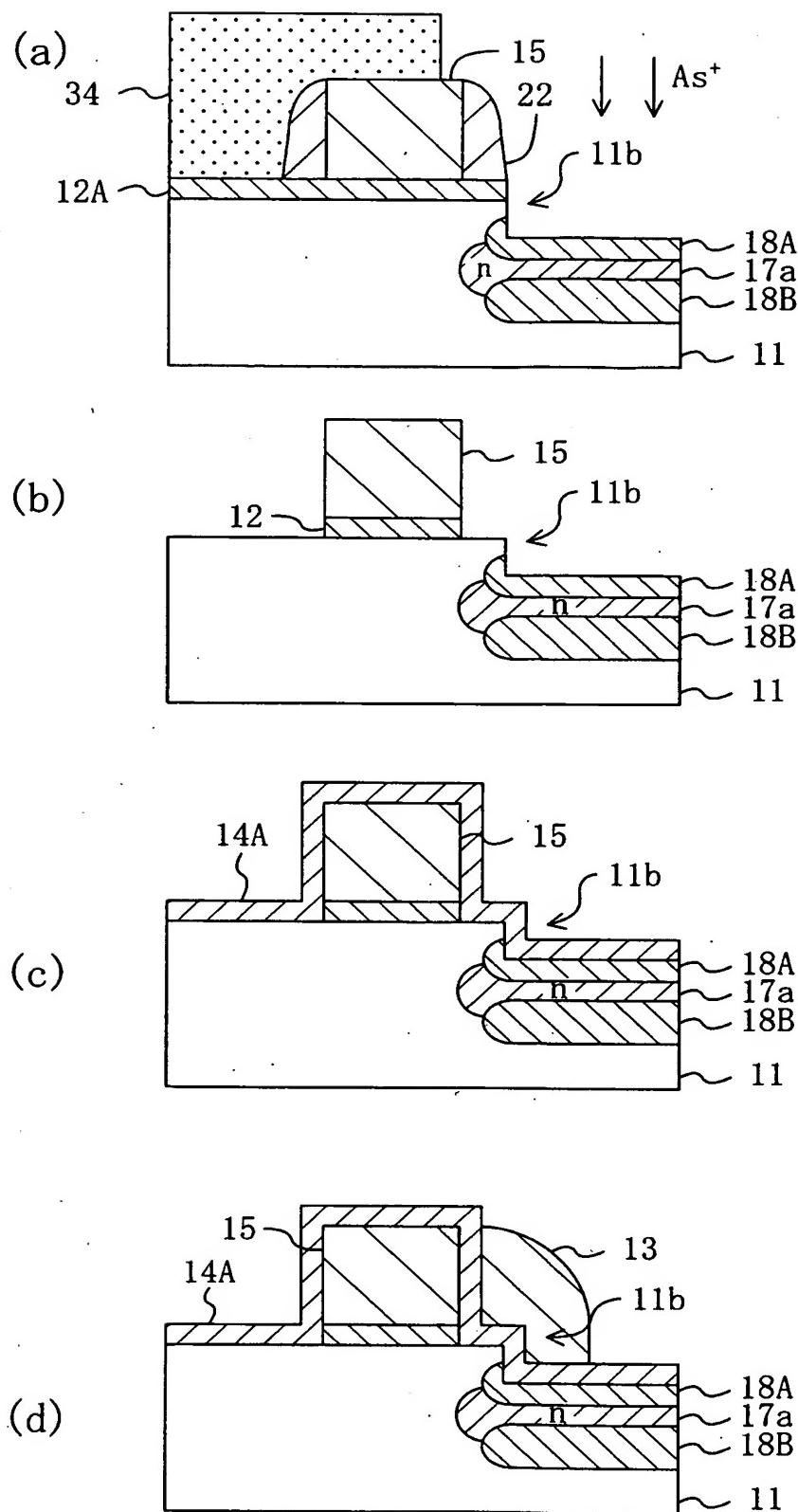
【図26】



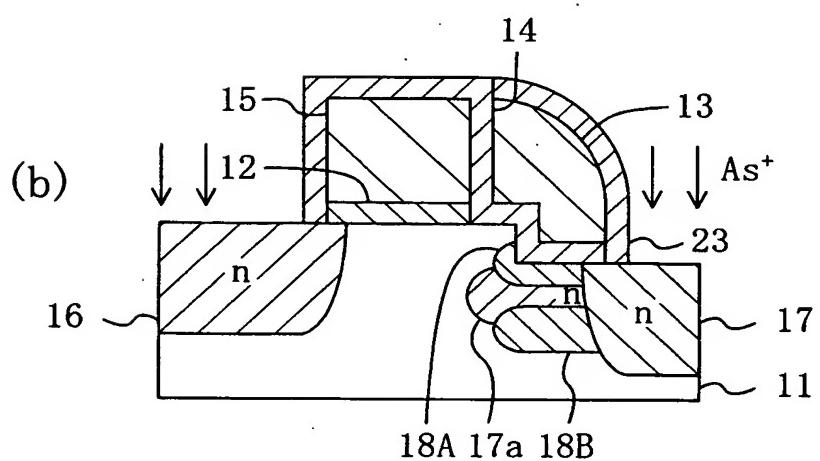
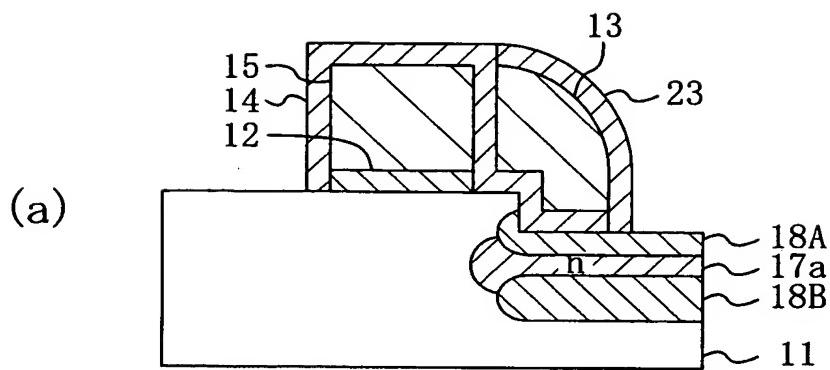
【図27】



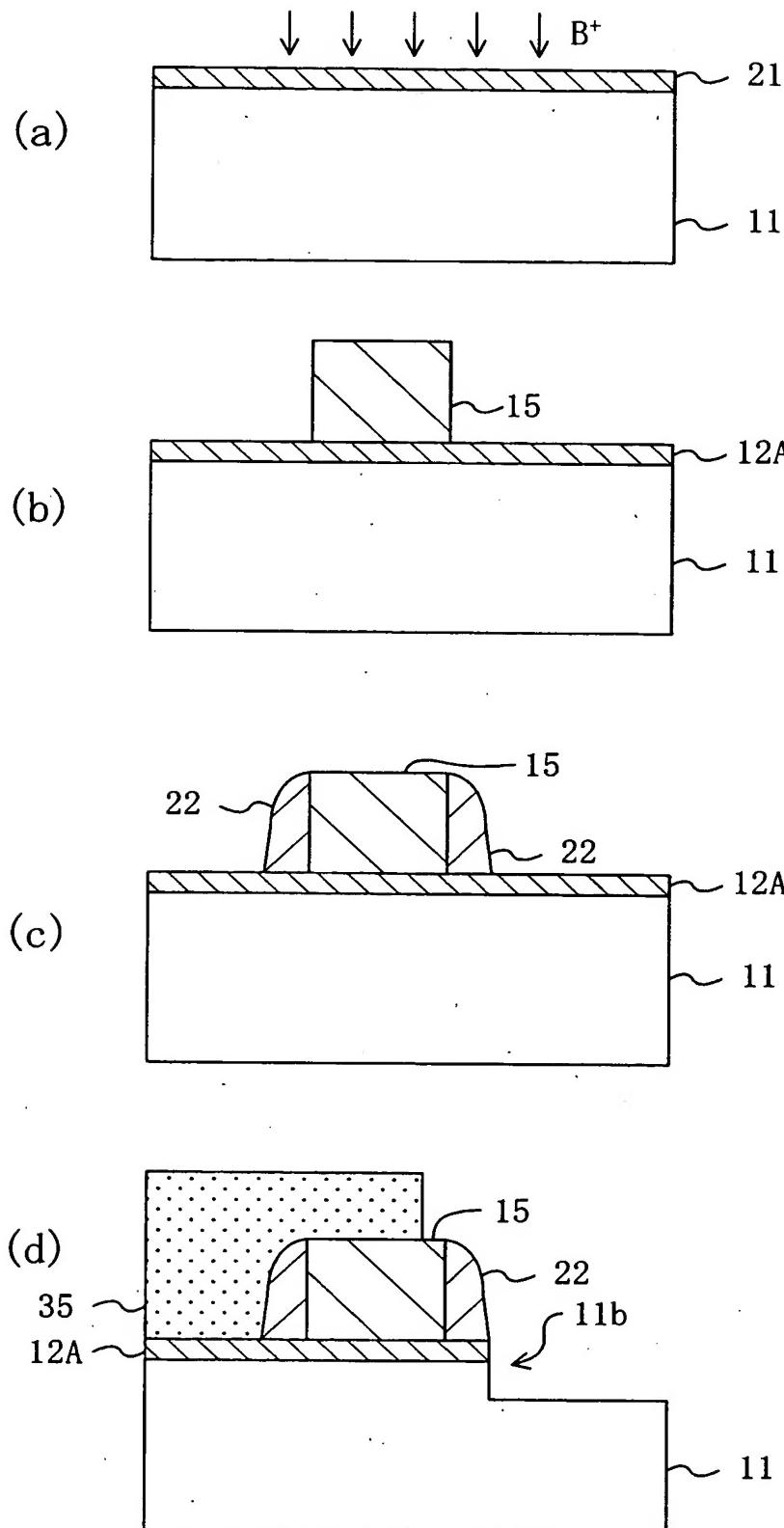
【図28】



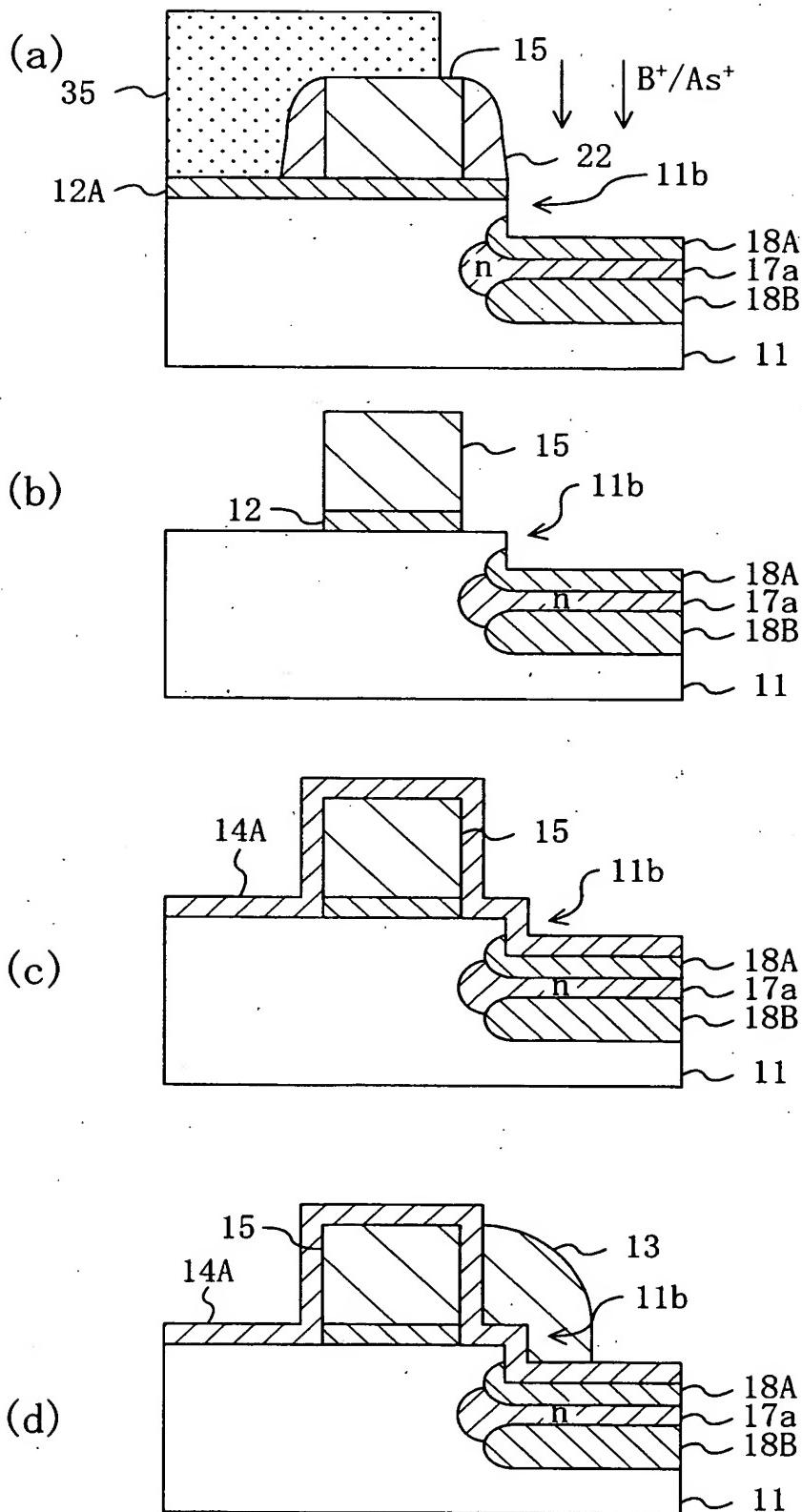
【図29】



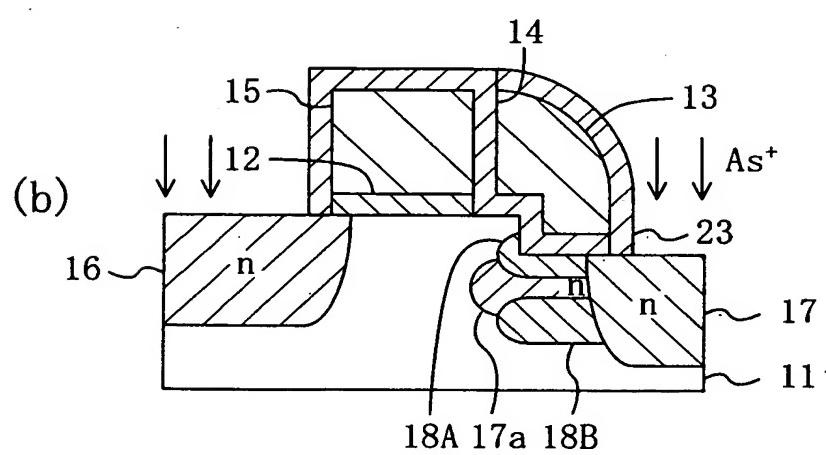
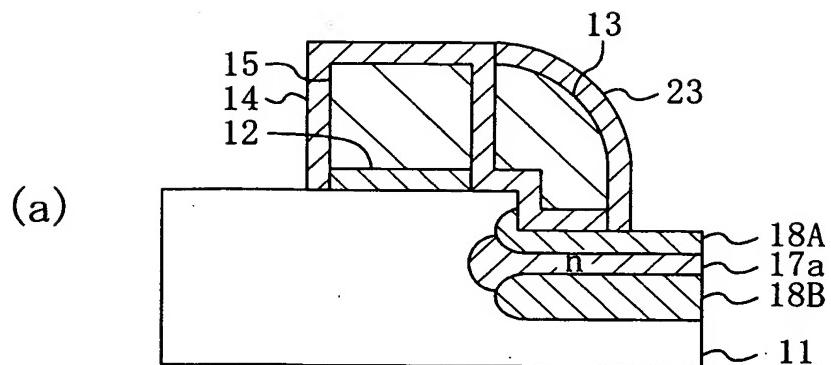
【図30】



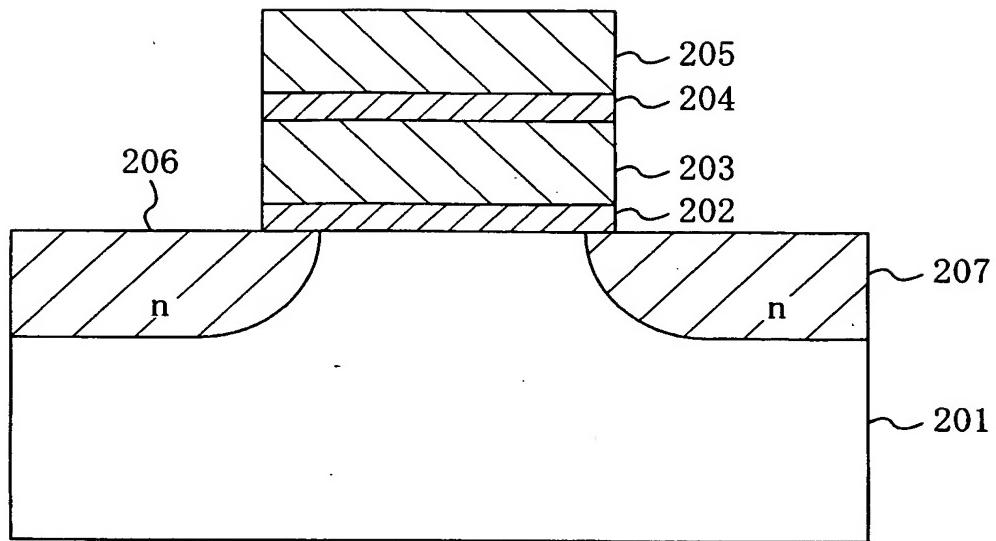
【図31】



【図32】



【図33】



【書類名】 要約書

【要約】

【課題】 ホットキャリアを浮遊ゲート電極に注入する不揮発性半導体記憶装置において、低電圧で高い注入効率を達成できるようにする。

【解決手段】 半導体基板11における、浮遊ゲート電極13及びその上に容量絶縁膜14を介して形成された制御ゲート電極15の側方には、n型のソース領域16とn型のドレイン領域17とが形成されている。ドレイン領域17には、ドレイン領域17におけるソース領域16側の端部が半導体基板11の表面に達することなくソース領域16側に延びるように、ドレイン領域17よりも不純物濃度が小さいn型の埋込みドレイン部17aが形成されている。

【選択図】 図1

【書類名】出願人名義変更届（一般承継）

【提出日】平成13年 4月26日

【あて先】特許庁長官 殿

【事件の表示】

【出願番号】特願2000-382233

【承継人】

【識別番号】000005821

【氏名又は名称】松下電器産業株式会社

【代表者】中村 ▲邦▼夫

【提出物件の目録】

【物件名】権利の承継を証明する書面 1

【援用の表示】平成13年 4月16日付提出の特許番号第31505
60号の一般承継による特許権の移転登録申請書に添付
した登記簿謄本を援用する。

出願人履歴情報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日
[変更理由] 住所変更
住 所 大阪府高槻市幸町1番1号
氏 名 松下電子工業株式会社

出願人履歴情報

識別番号 [598165507]

1. 変更年月日 1998年12月 1日

[変更理由] 新規登録

住 所 アメリカ合衆国、ニューヨーク州 12590、ワッピンジャーズ フォールス、オールド ホープウェル ロード 140
氏 名 ヘイロー エルエスアイ デザイン アンド デバイステクノロジー インコーポレイテッド

2. 変更年月日 2001年 7月 16日

[変更理由] 住所変更

住 所 アメリカ合衆国 12590 ニューヨーク州、ワッピンガーズ フォールズ、メイヤーズ コーナーズ ロード 169
氏 名 ヘイロー エルエスアイ デザイン アンド デバイステクノロジー インコーポレイテッド

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社